

به نام خدا

خود آموز *Active-HDL 5.1*

گردآوری

افشین راجی

کلمات کلیدی

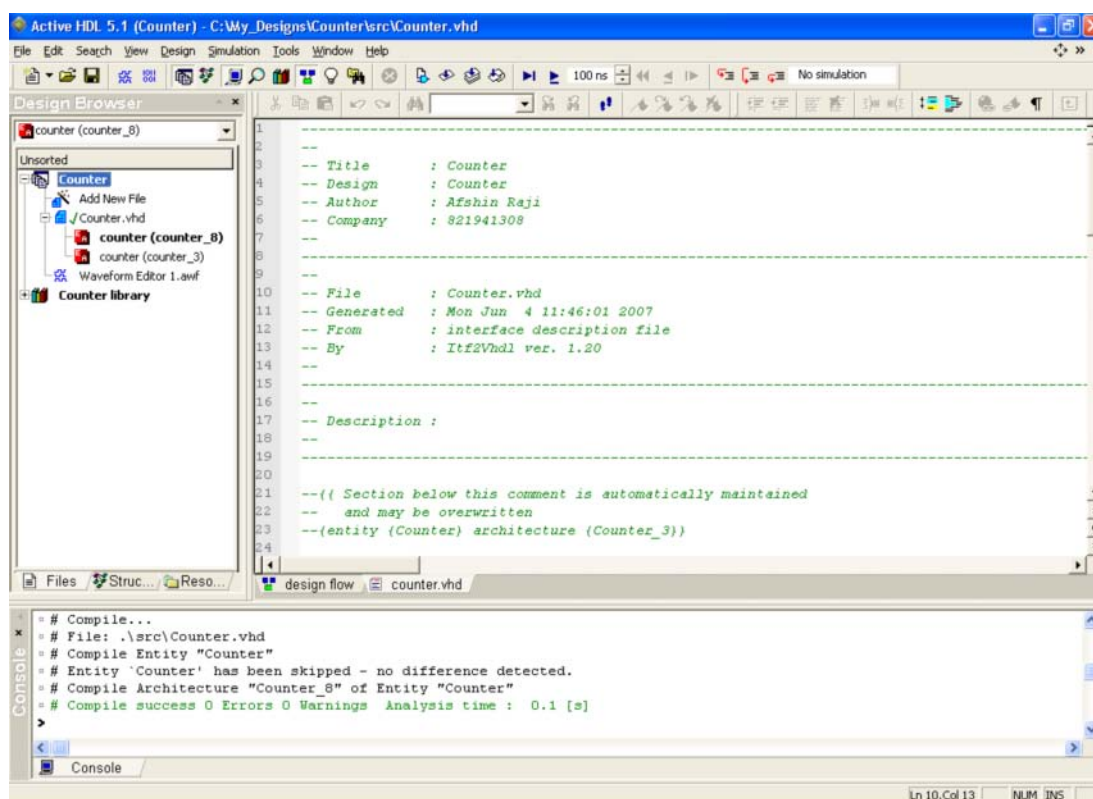
کامپایلر، VHDL

چکیده

این مقاله خود آموزی است برای یکی از کامپایلر های زبان های توصیف سخت افزار به نام *Active-HDL*



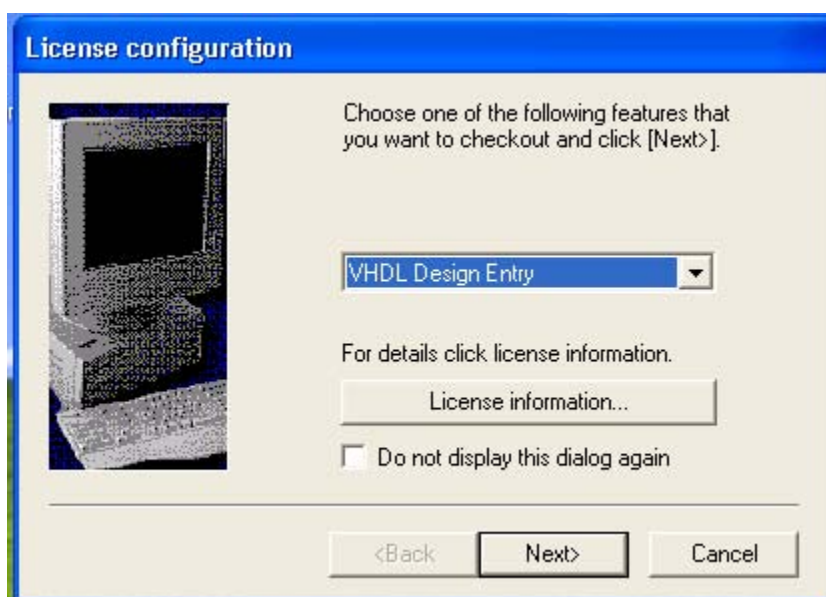
۱. آشنایی با محیط نرم افزار



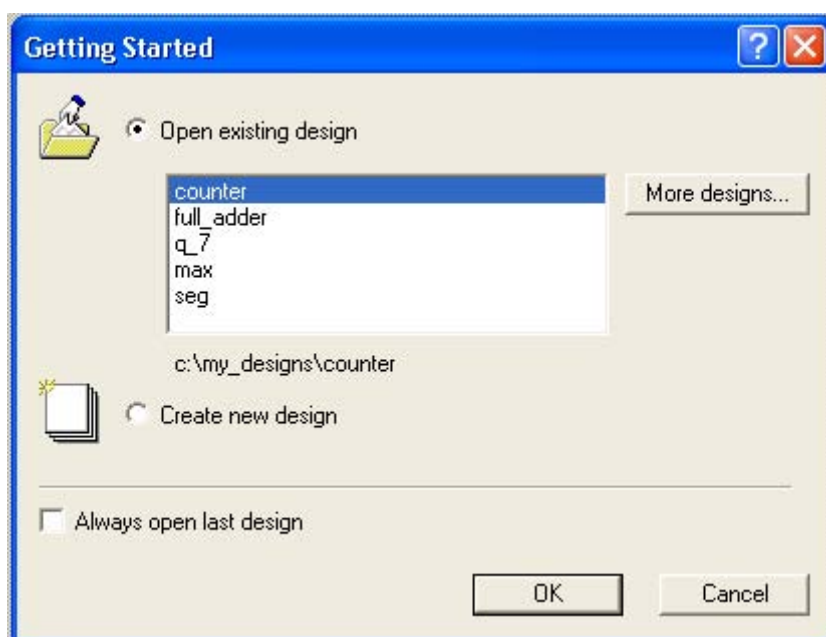
برای آغاز کردن، *Active-HDL* را از *Start|Programs* انتخاب کنید. نرم افزار شروع به کار کرده و شکل *Logo* زیر نمایش داده می شود.



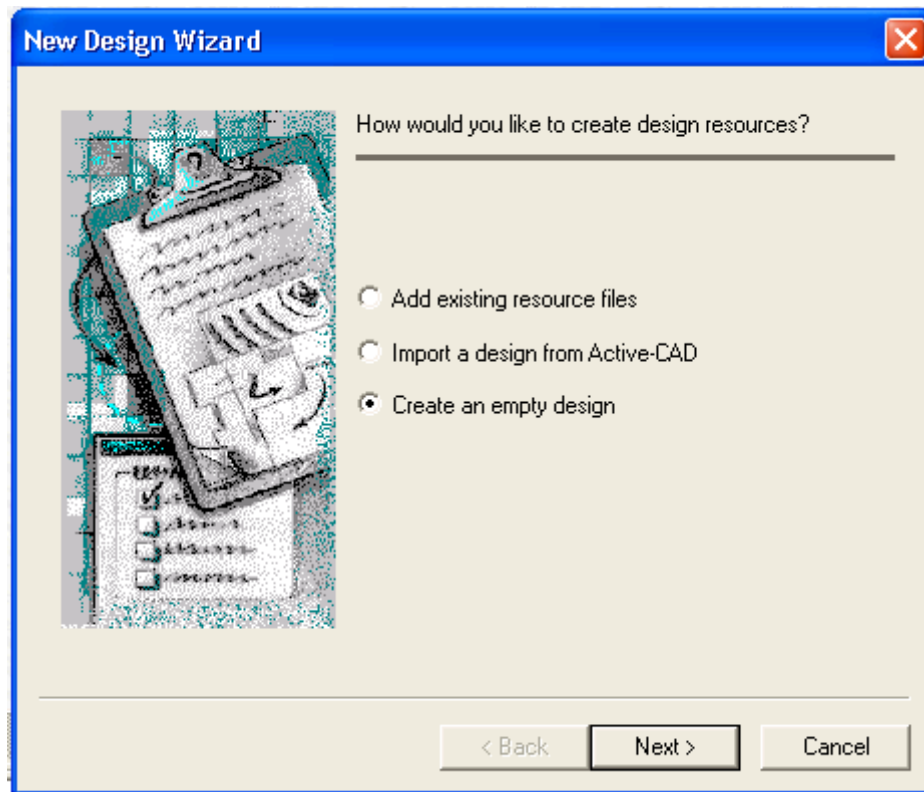
بعد از این *Logo* پنجره *License Configuration* نمایش داده می شود که ما گزینه *VHDL Design Entry* را انتخاب می کنیم.



بعد از آماده سازی برنامه، صفحه *Getting Started* ظاهر می شود. در این پنجره *Create new Design* را انتخاب کرده و *OK* را با ماوس فشار دهید.



در پنجره گفتگوی بعدی محتویات پروژه مشخص می شود.



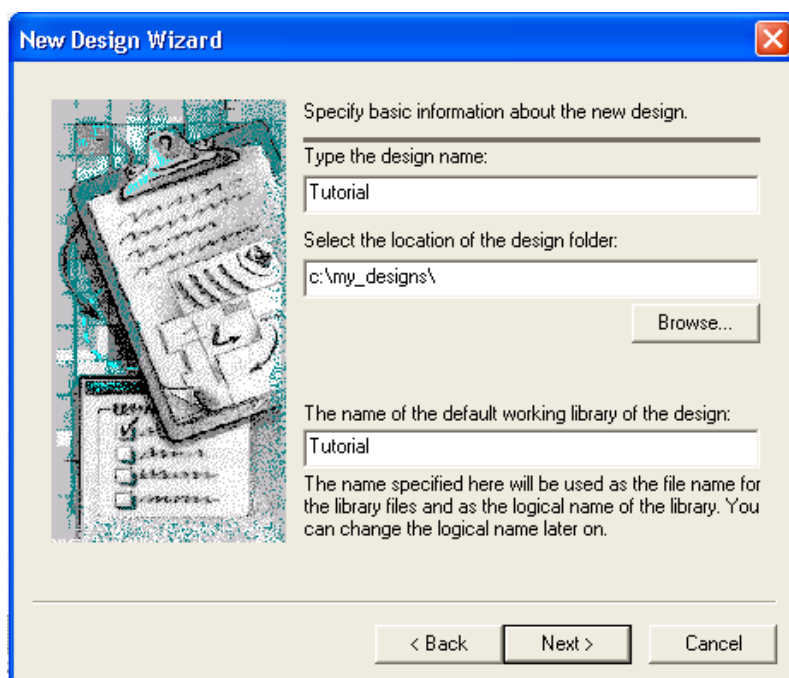
– *Add exiting resource files*: فایل های موجود *VHDL* را داخل پروژه قرار می دهد.

– *Import a design from Active CAD*: فایل های ایجاد شده با *Active CAD* را به پروژ اضافه می کند.

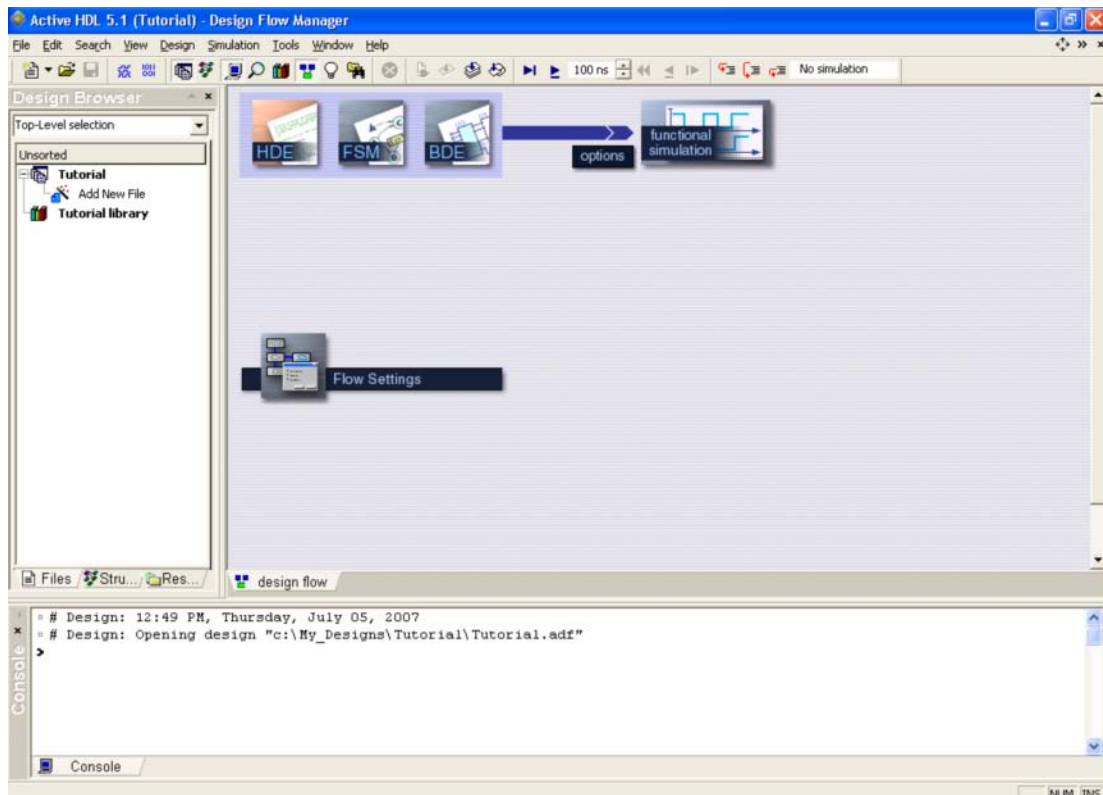
– *Create an empty design*: هیچ قطعه ای به برنامه اضافه نمی شود.

گزینه سوم یعنی *Crete an empty design* را انتخاب و سپس گزینه *Next* را کلیک کنید. در صفحه بعد نیز بر روی دکمه *Next* کلیک کنید.

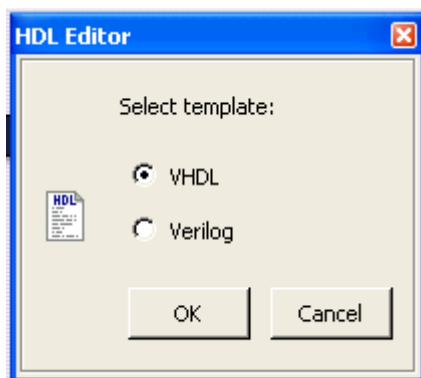
صفحه ای با نام *New Design Wizard* نمایش داده می شود در این قسمت می توانید نام طرح، مسیر ذخیره شدن اطلاعات و فایل کتابخانه ای مورد نظر را وارد کنید.



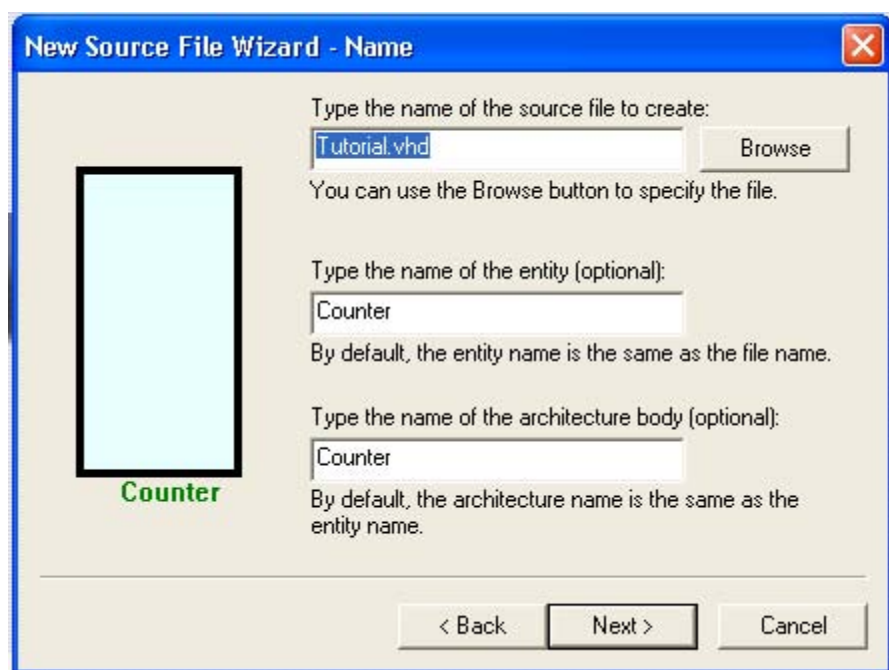
در قسمت نام، عنوان برنامه را **Tutorial** وارد کنید و در قسمت دوم، مسیر ذخیره شدن برنامه را مطابق شکل وارد کنید. سپس **Next** را انتخاب کنید و در صفحه بعد بر روی گزینه **Finish** کلیک کنید. در پنجره جدید، بر روی آیکون **HDE** کلیک کنید.



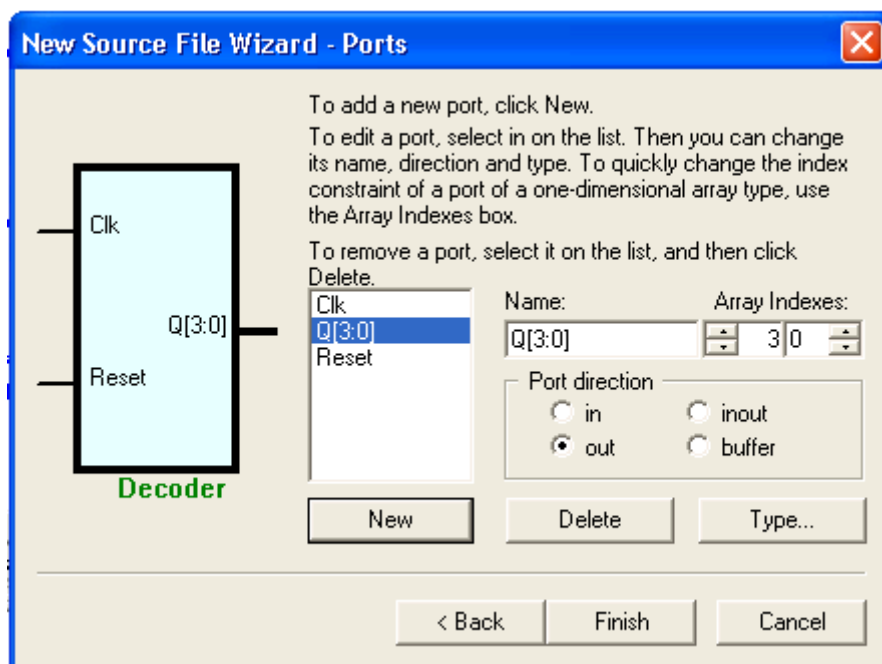
در پنجره ظاهر شده، کد و الگوی مورد نظر خود را انتخاب کنید.



در پنجره بعدی *Next* را کلیک کنید و در پنجره جدید، نام فایل اصلی، نام *Entity* و نام *Architecture* را وارد کنید.



در پنجره بعدی واحدهایی که لازم است به برنامه متصل شود مشخص می گردد. در این پنجره، نام *Port* ها، نوع و جهت آن ها مشخص می شود.

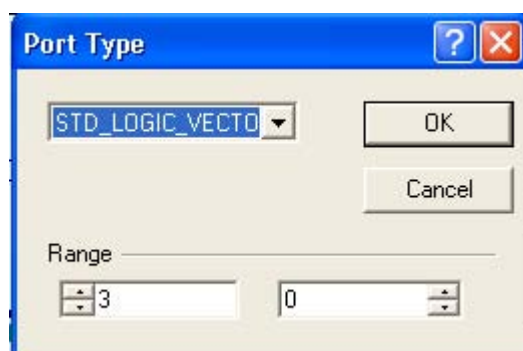


بعد از انتخاب *new* ، ابتدا نام پورت در کادر *Name* تایپ می شود و سپس جهت پورت از *Port Direction* انتخاب می شود. اگر پورت به صورت باس می باشد، طول آن در قسمت *Array Indexes* مشخص می شود.

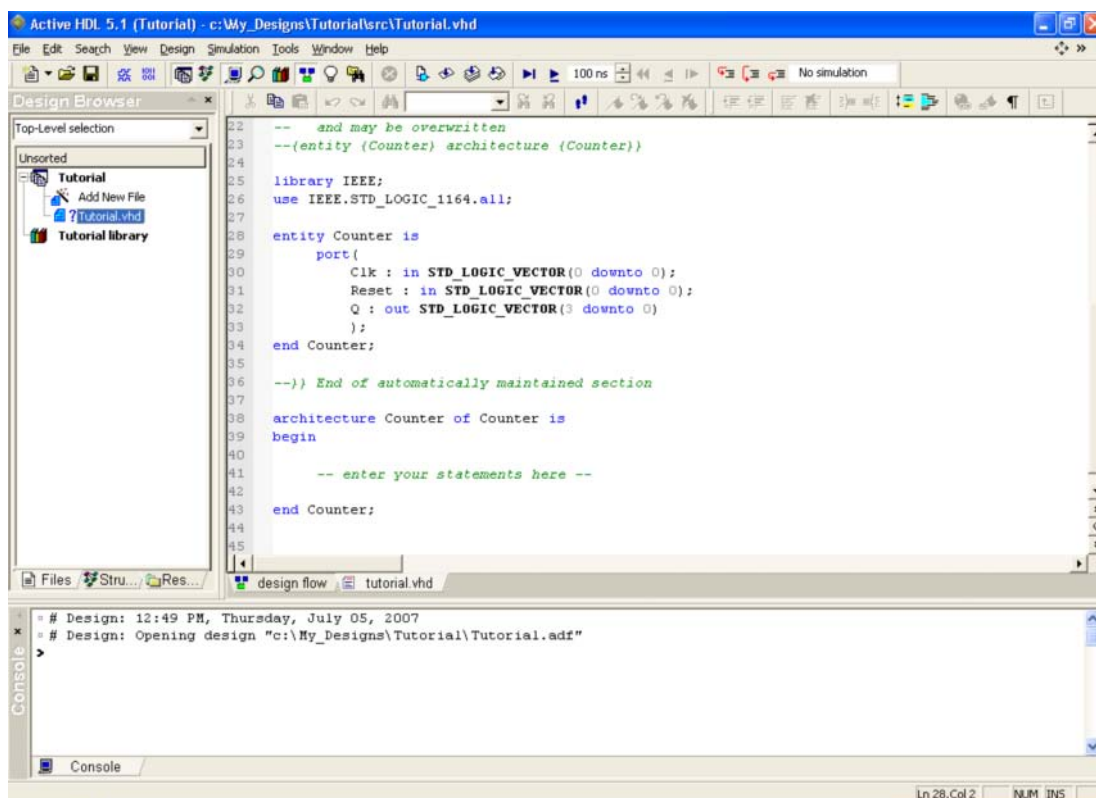
اطلاعات این سه پورت را وارد کنید:

- *CLK in port*
- *RESET in port*
- *Q[3:0] out port, range [3:0]*

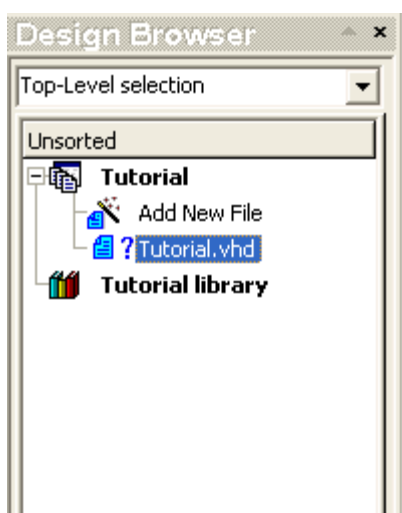
از قسمت *Type* نوع پورت را *STD-LOGIC* برای پورت های تکی و برای باس *STD-LOGIC-VECTOR* انتخاب کنید.



پس از اتمام کار **Ok** را انتخاب کنید.
با انتخاب **Finish** پروژه با فایل های مربوطه تولید می شود.

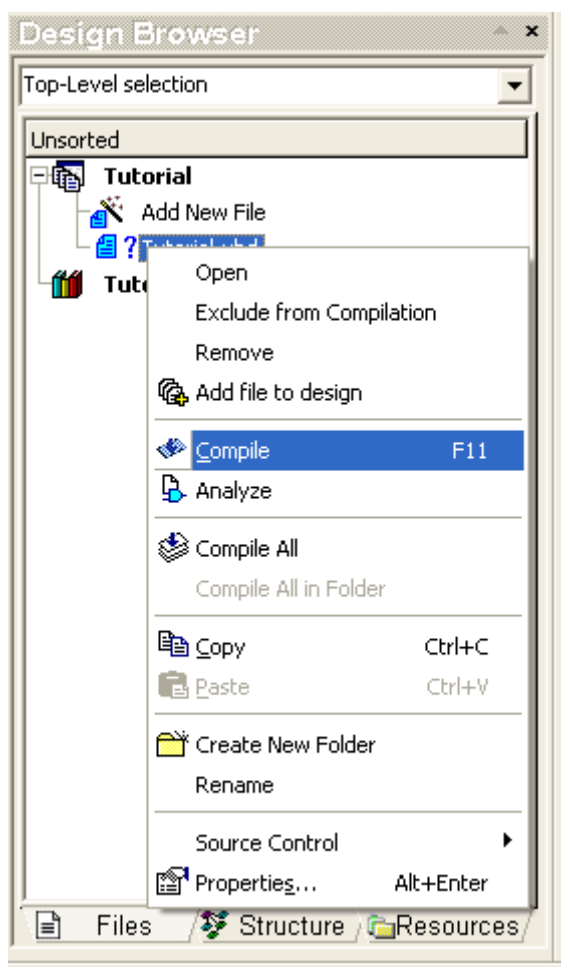


در پنجره **Design Browser** محتویات طرح نمایش داده می شود. پس از ایجاد پروژه این پنجره مطابق شکل خواهد بود.



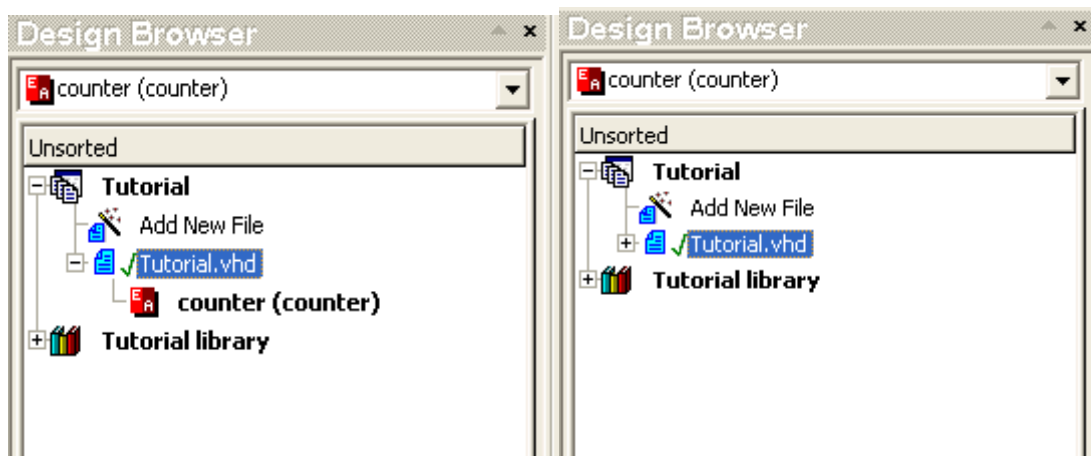
از این شکل دیده می شود که
نام طرح **Tutorial** است و حاوی
فایل **Tutorial.vhd** است که با
توجه به علامت سؤال کنار آن
کامپایل نشده می باشد.

فایل پروژه مورد استفاده هم نام طرح اصلی است.

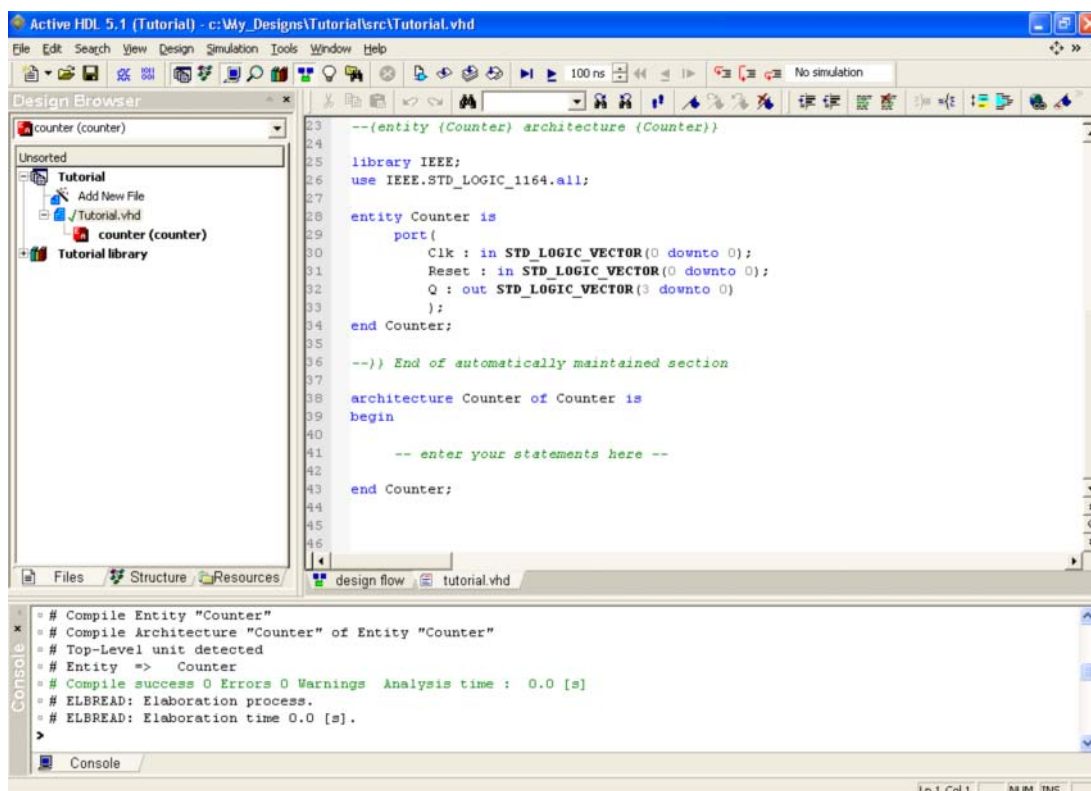


برای کامپایل طرح می توانید از منوی *Design* گزینه *Compile* را انتخاب کنید و یا با کلیک راست ماوس در روی نام فایل گزینه *Compile* را انتخاب کنید.

بعد از کامپایل تغییراتی در اشکال گرافیکی اعمال می شود که نشان دهنده وضعیت کار می باشد. علامت ✓ نشان دهنده موفقیت آمیز بودن کار می باشد. انتخاب علامت + در کنار فایل اجازه می دهد تا ساختار سلسله مراتبی فایل را مشاهده کرد.



با کلیک مکرر ماوس بر روی فایل *Tutorial.vhd* قسمت *HDL Editor* فعال می شود. این قسمت برای وارد کردن اطلاعات متنی می باشد و از رنگ های مختلف جهت تفکیک متن استفاده می کند.



اگر مطابق متن پیش رفته باشید صفحه کامپیوتر مطابق شکل فوق خواهد بود. کد برنامه فوق براساس اطلاعات وارد شده در قسمت های قبلی به صورت اتوماتیک تولید شده است.

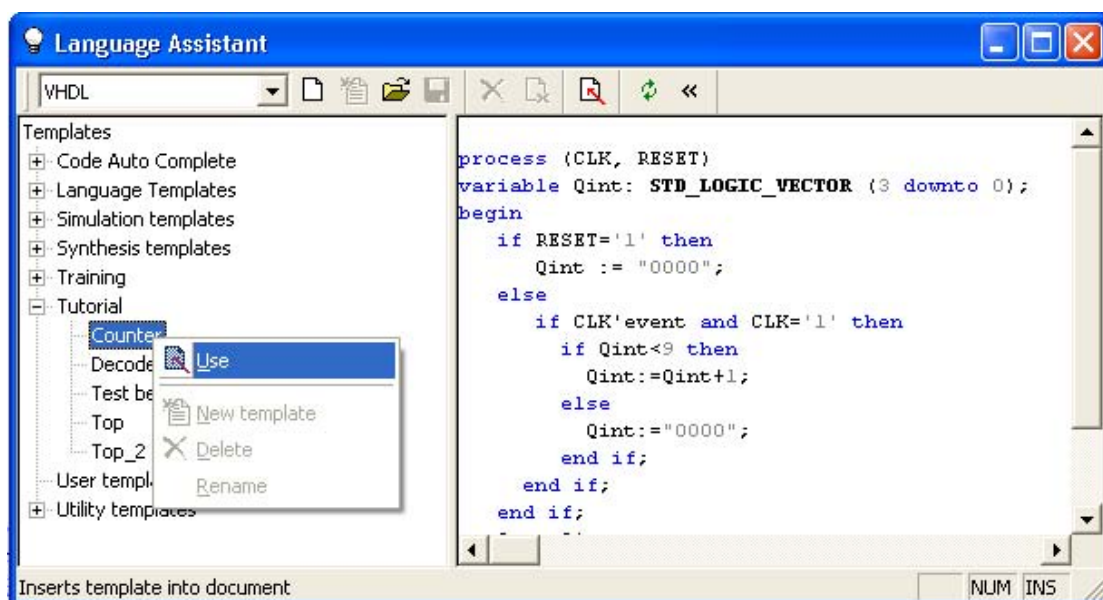
در متن برنامه فوق عبارتی به صورت زیر وجود دارد:

-- < enter your Statements here >

در صورت نیاز متن مورد نظر را در این قسمت باید وارد کنید. نشانگر را در این قسمت قرار دهید. قسمت *Language Asistance* نرم افزار دارای امکانات مختلفی جهت راحتتر کردن برنامه نویسی می باشد. از منوی *Tools* آن را انتخاب کنید.

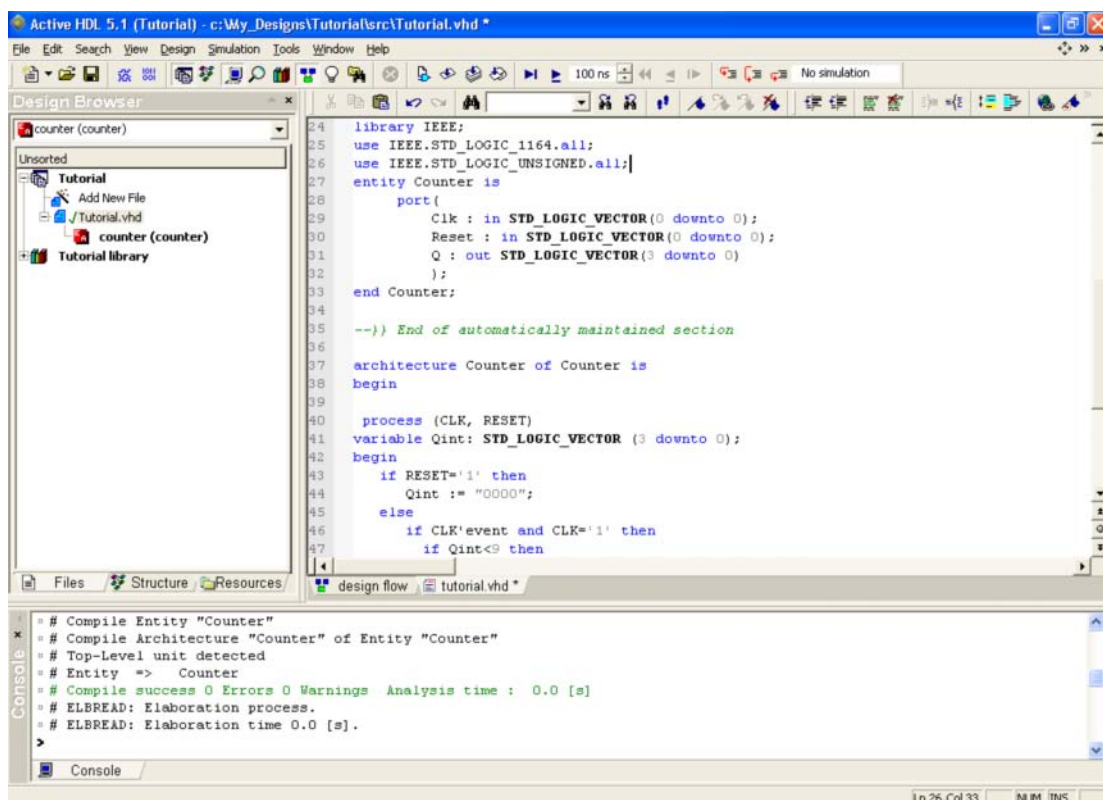
بر روی علامت + در کنار *Tutorial* با ماوس کلیک کنید تا محتویات آن را ببینید.

بر روی عبارت *Counter* با ماوس کلیک کنید تا متن مربوطه را ببینید. با انتخاب آن و کلیک راست با ماوس منوی کوچکی نمایش داده می شود از این منو *Use* را انتخاب کنید تا متن مورد نظر در محل مناسب در برنامه قرار گیرد.




به برنامه تولید شده لازم است تا خطوط دیگری که معرف فایل های کتابخانه ای هستند، اضافه شود
بعد از عبارت *use IEEE.STD-Logic-1164.all* عبارت زیر را تایپ کنید:

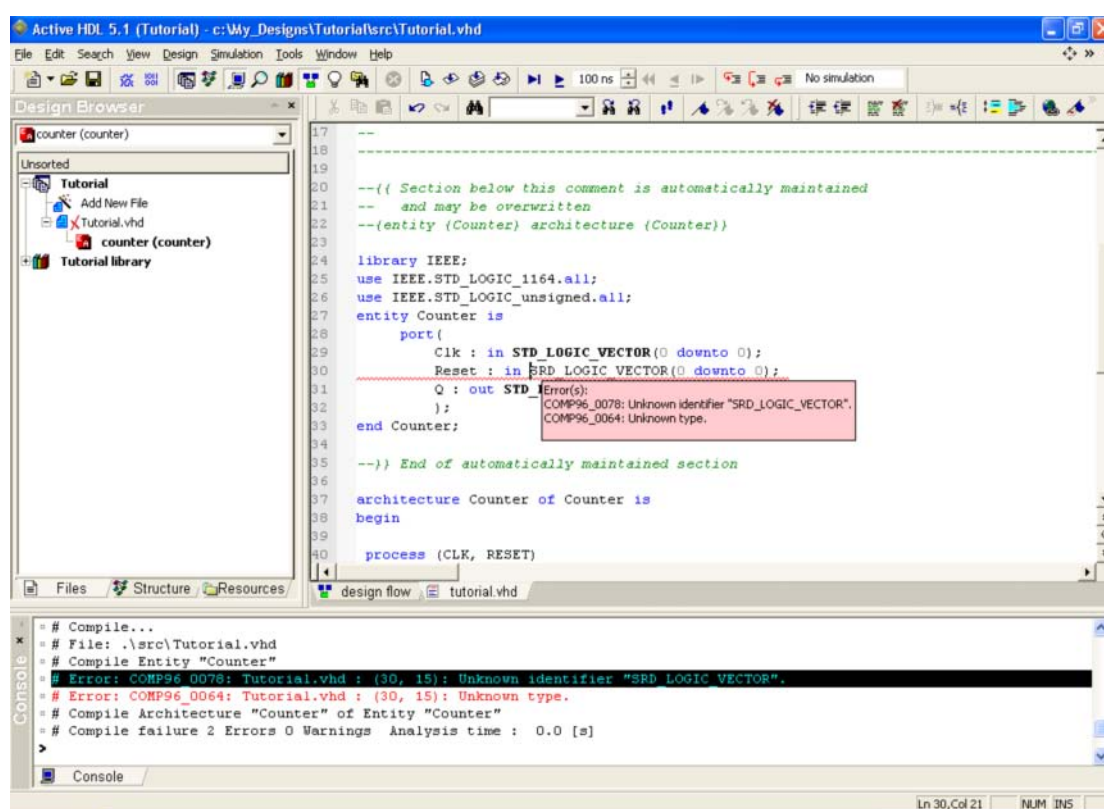
Use IEEE.std-logic-unsigend.all;

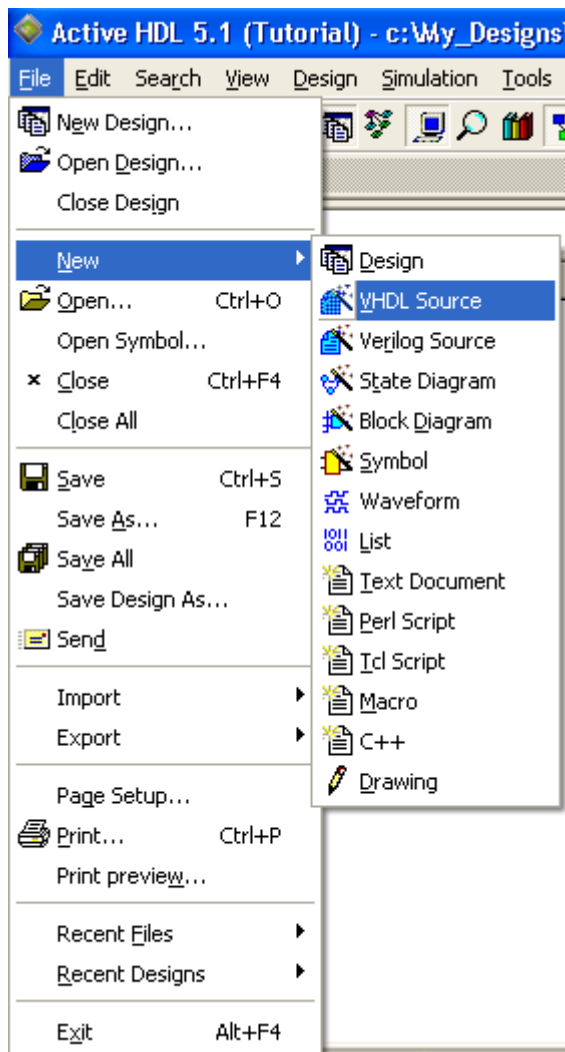


کد برنامه تا به این جا کامل است و می توان آن را بعد از ذخیره برنامه کامپایل نمود. برای این کار به قسمت *Design Browser* رفته و بر روی فایل اصلی با ماوس کلیک راست کنید و از منوی ظاهر شده *Compile* را انتخاب کنید. علامت ✓ نشان دهنده این است که کار کامپایل بدون خطا انجام شده است. اگر به جای این علامت، علامت! قرار می گرفت دلیل بر وجود اخطار در برنامه می بود و علامت × دلیل بر وجود خطا می باشد.

این نرم افزار دارای قدرت زیادی در پیدا کردن خطا و اخطار بوده و محل آن را با دقت زیادی به همراه متن خطا نمایش می دهد. برای نمونه در متن برنامه *std* را به *srd* تبدیل کنید و با روند توصیف شده آن را کامپایل کنید. (می توانید با استفاده از آیکون  از منوی ابزار یا کلید *F11* نیز برنامه را کامپایل نمایید).

پس از اتمام کار کامپایل، علامت × در کنار فایل نشان دهنده وجود خطا در کامپایل برنامه می باشد و در داخل متن برنامه زیر خطی که دارای خطا می باشد یک خط قرمز رنگ کشیده می شود. با قرار دادن ماوس بر روی این متن خطا و یا اخطار نمایش داده می شود.

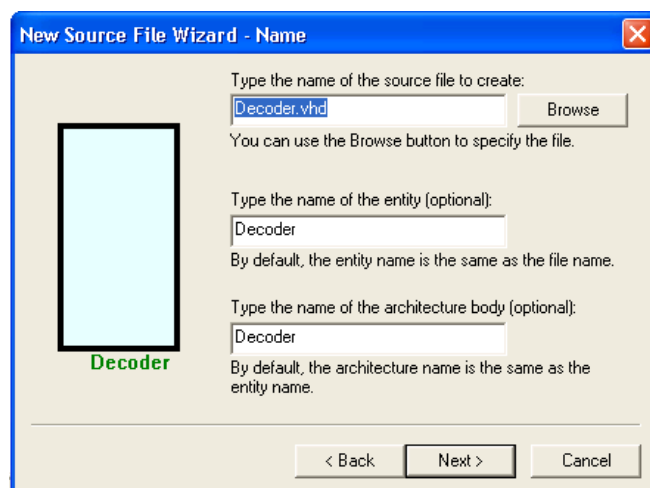




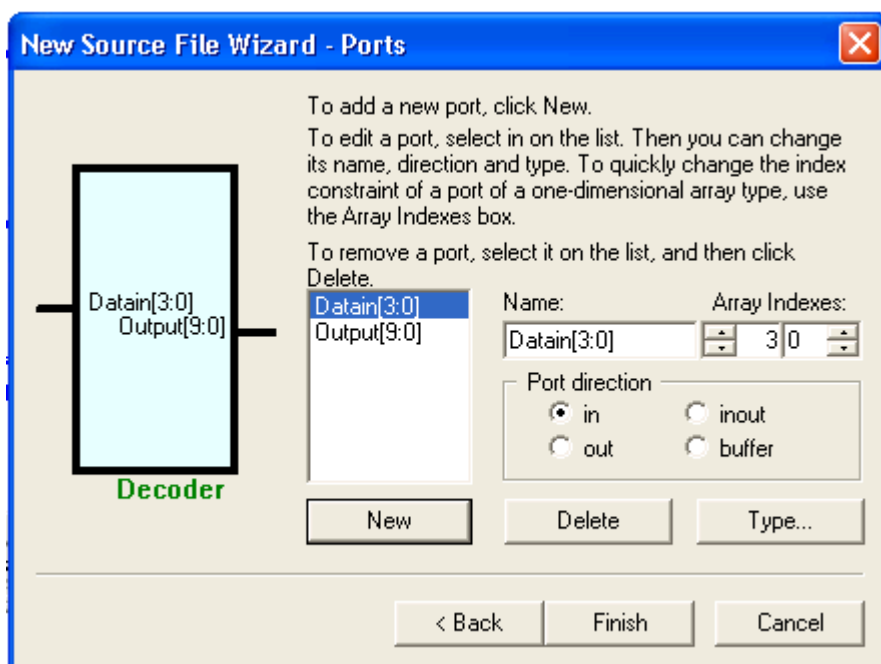
برای ادامه کار عبارت تغییر داده شده را تصحیح کنید و برنامه را با روند بحث شده کامپایل کنید.

در گام بعدی فایل دیگری به پروژه اضافه خواهد شد. برای این کار از منوی *File\New\VHDL Source* را انتخاب کنید.

از *New Source File Wizard* عبارت *Add the generated file to the design* را انتخاب کرده و *Next* فشار دهید. بعد از آن در پنجره *New Source Wizard* در قسمت عنوان *Decoder* را تایپ کرده و *Next* فشار دهید.



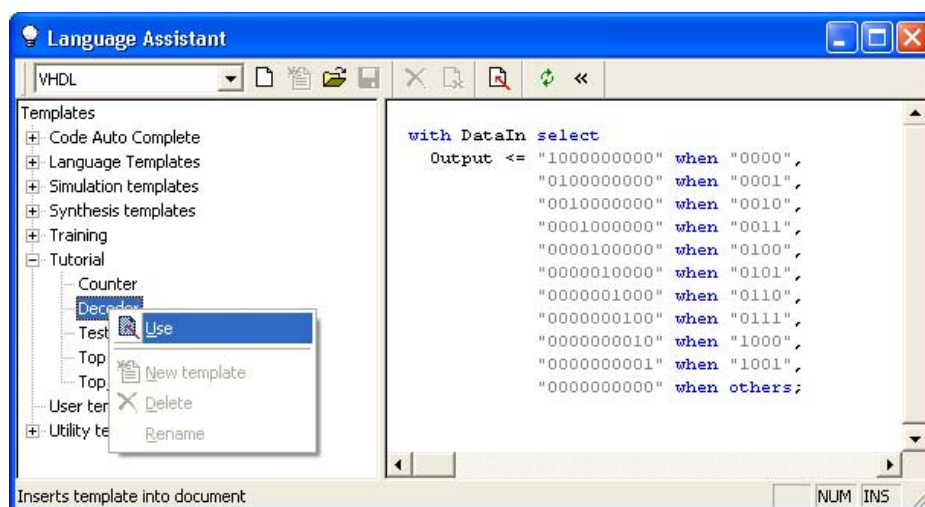
مطابق شکل زیر مشخصات پورت ها را وارد کنید:



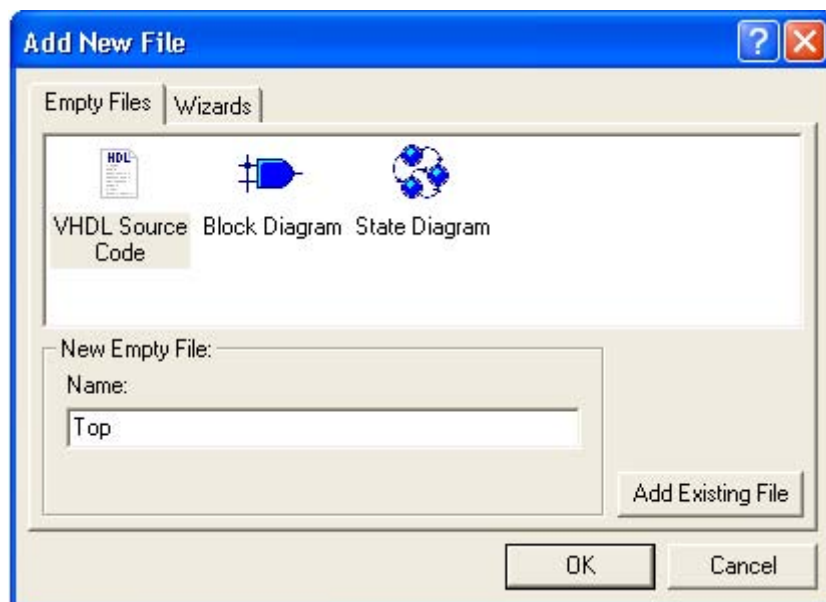
در پنجره بعدی که آخرین پنجره می باشد **Finish** را انتخاب کنید. با این روند پروژه حاوی دو فایل خواهد بود. روی فایل **Decoder.vhd** با ماوس کلیک مکرر کنید تا محتویات آن نمایش داده شود. مکان نما را درست زیر خطی که حاوی عبارت زیر است قرار دهید و **Assistant Language** را فعال کنید.

-- << enter your Statements here >>

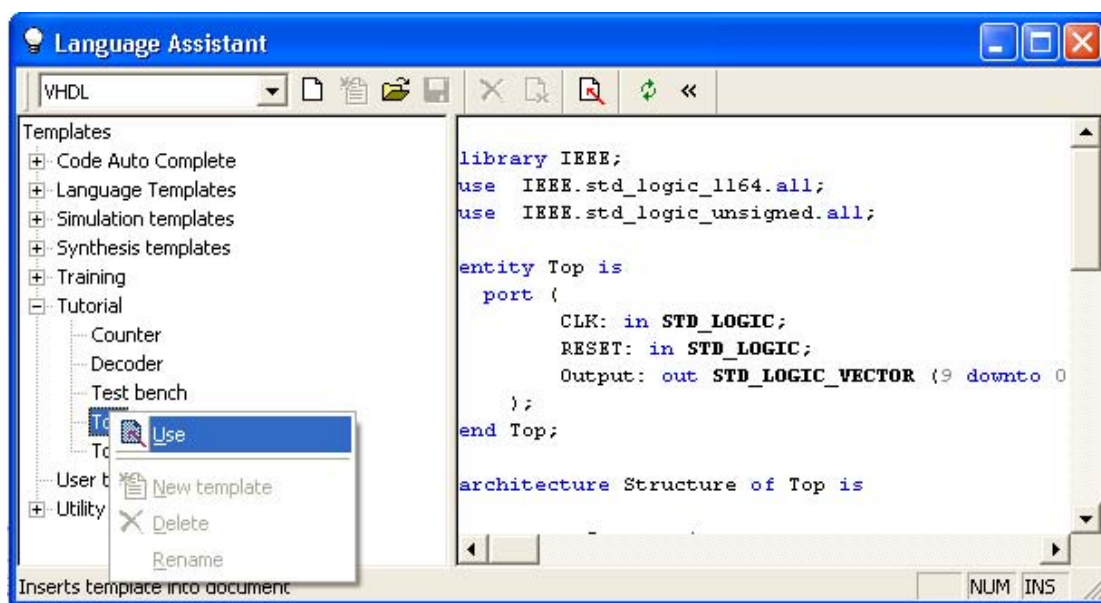
با انتخاب **Use** متن شکل بالا را به برنامه اضافه کنید. با این کار متن برنامه مطابق شکل زیر خواهد بود.

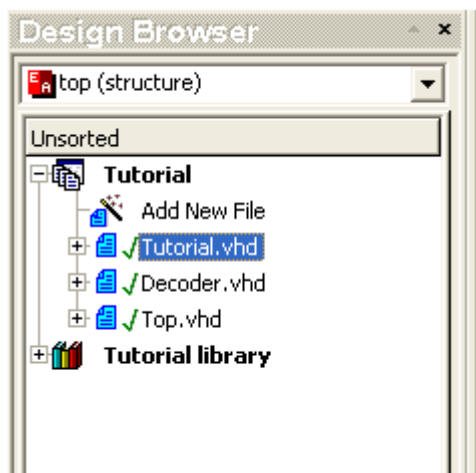


در گام بعدی طرح اصلی که در واقع هسته مرکزی می باشد تولید می شود برای این کار آیکون **Add New File** را از **Design Browser** انتخاب کنید و در قسمت نام **Top** را وارد کنید.



از **Language Assistant** مطابق شکل **Top** را انتخاب کرده و به متن برنامه اضافه کنید.



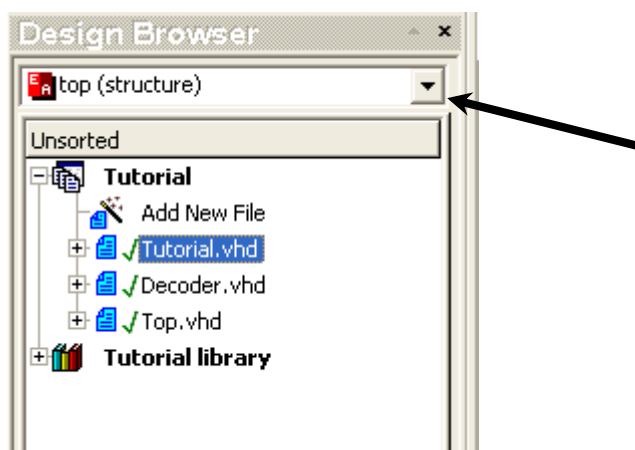


بعد از این کار *Design Browser* به فرم شکل روبرو خواهد بود.

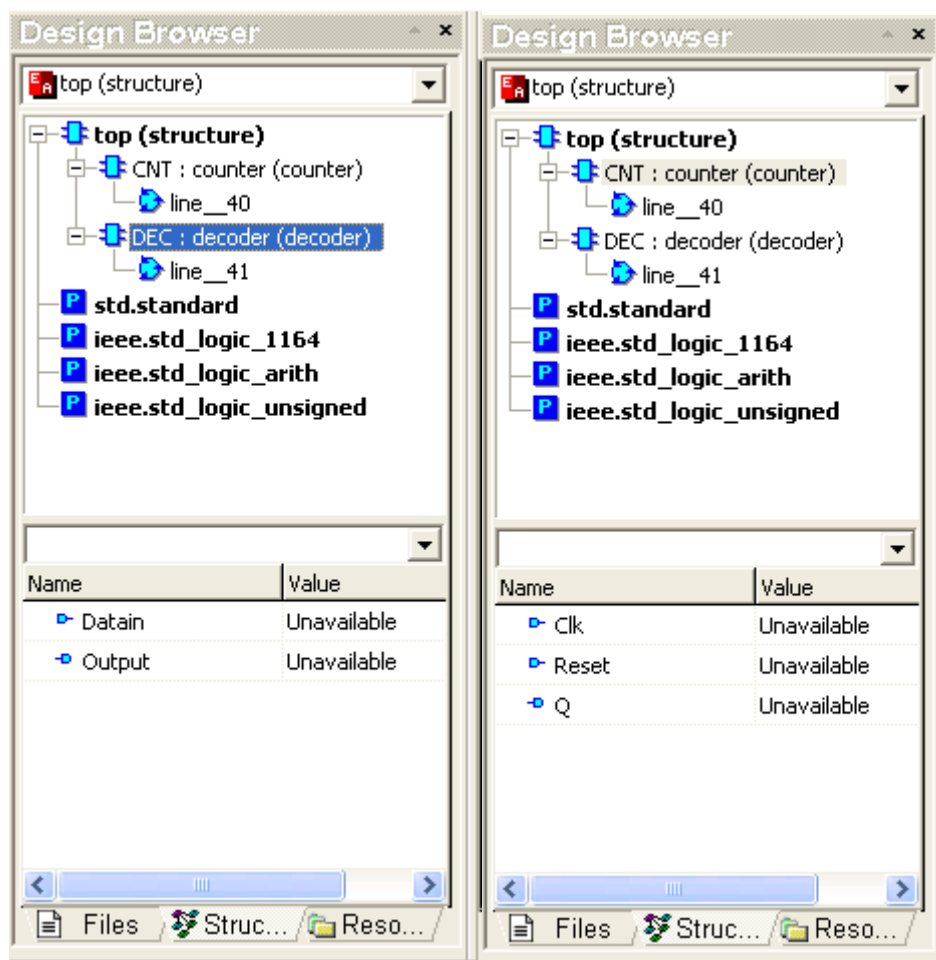
با انتخاب *Comple All* کل طرح را کامپایل کنید.

پس از اتمام این کار از قسمت *Top-Selection Level*، *Top* را انتخاب کنید. ساختار سلسله مراتبی طرح


نمایش داده می شود.

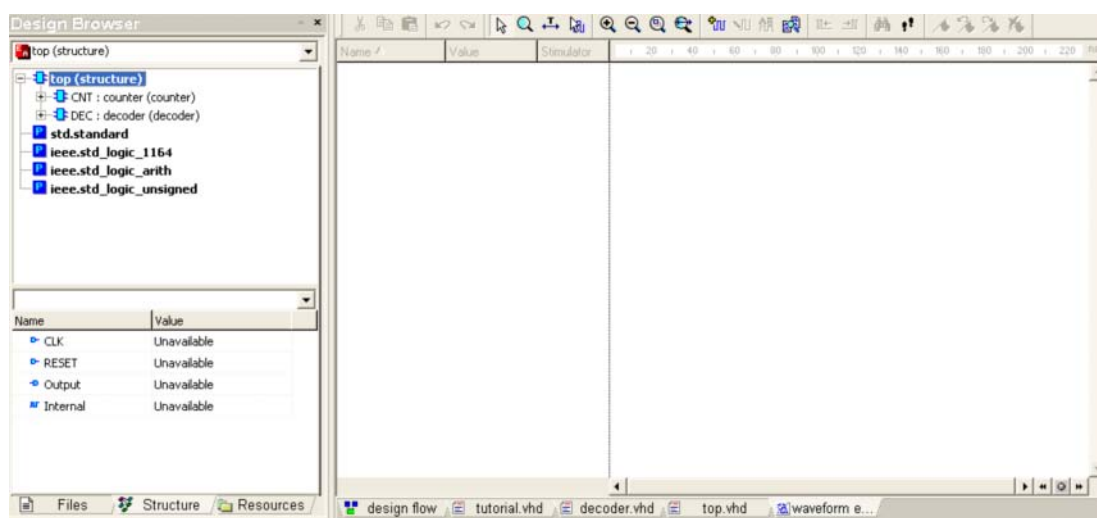


ساختار سلسه مراتبی و لیست متغیرهای مربوط به هر پروسس نمایش داده شده است.



۲. شبیه سازی

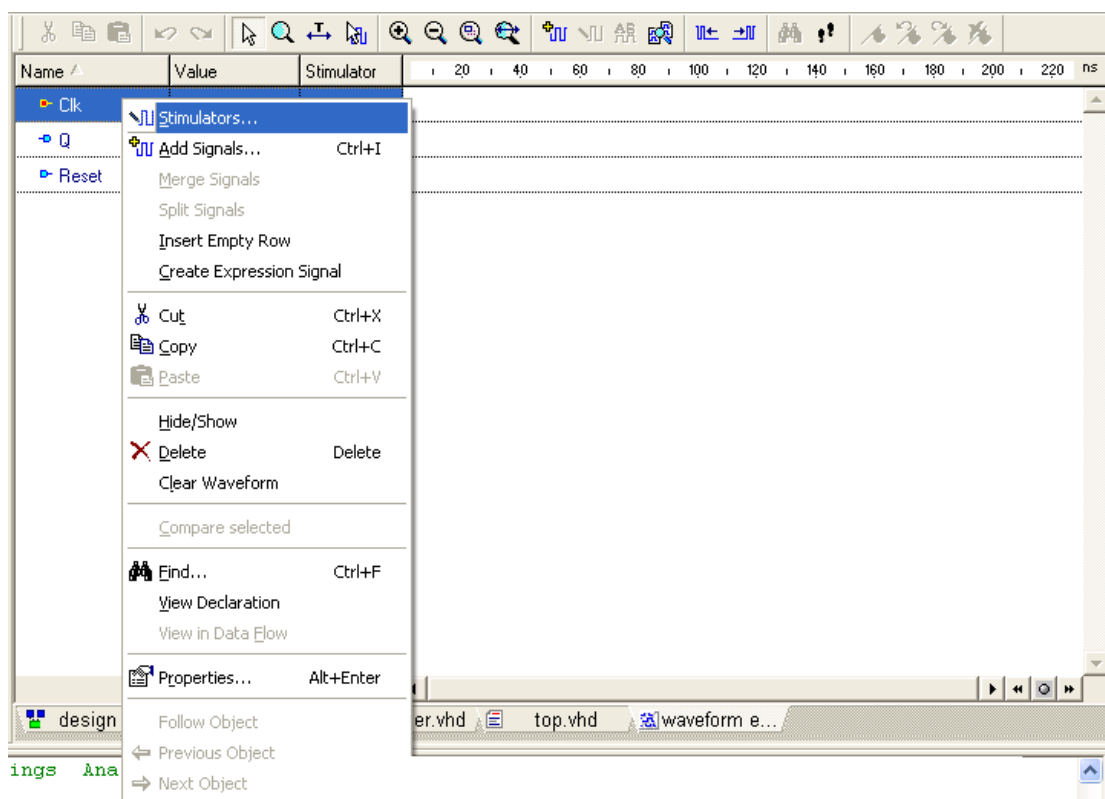
در این مرحله طرح آماده شبیه سازی است از منوری *Simulation Initiauze, Simulation* , را انتخاب کنید و بر روی *New Waveform* کلیک کنید تا یک پنجره شکل موج باز شود. (می توان از آیکون  نیز استفاده کرد) با انتخاب برگه *Structure* لیست متغیرها و پروسس ها نیز نمایش داده میشود.



برای وارد کردن لیست متغیرهای لازم می توانید از خاصیت *drag and drop* استفاده کنید. در لیست پروسس ها، پروسسی را با ماوس انتخاب کنید و کلید چپ ماوس را نگه دارید در این حالت ماوس را حرکت داده و آنرا به پنجره *waveform* آورده و کلید آنرا رها سازید. همین کار را در قسمت تحتانی با لیست متغیرها نیز می توانید انجام دهید.

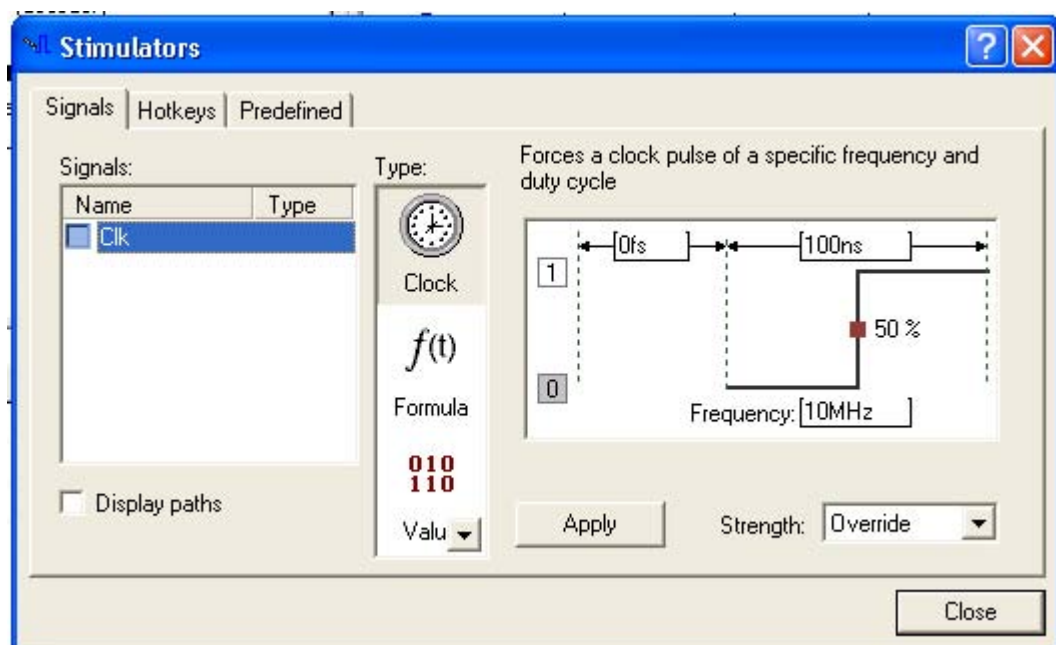
روش دیگر برای دین نتایج آنلیز استفاده از *List Viewer* است. قواعد فوق در این پنجره نیز برقرار است.

پس از انتخاب متغیرها گام بعدی مقدار دادن به ورودی ها می باشد. بر روی متغیر *Clk* که یکی از متغیرهای ورودی است کلیک راست کنید.

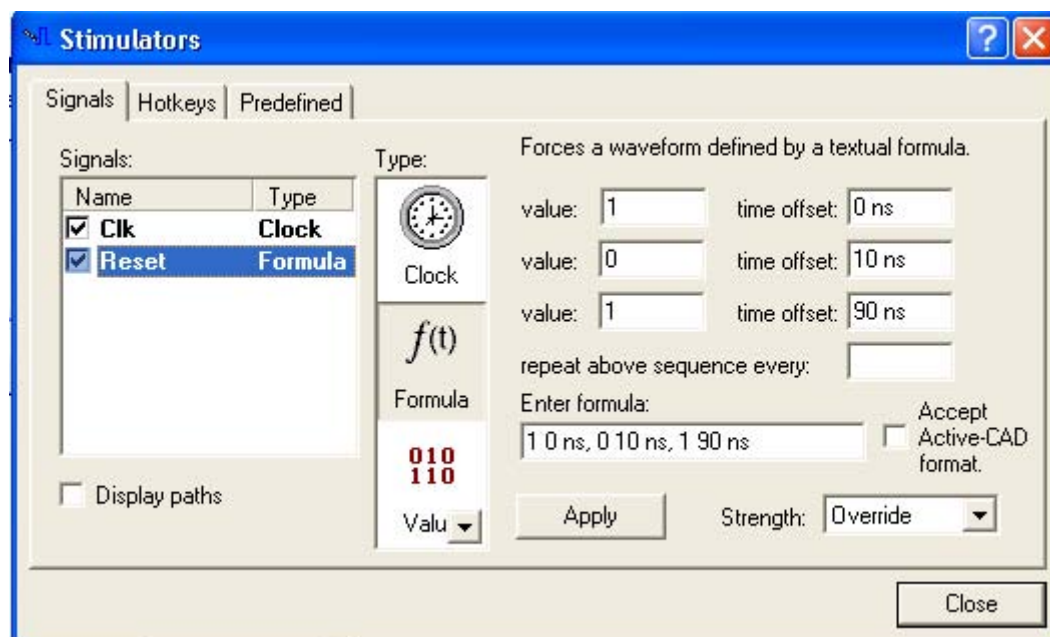


از منوی ظاهر شده *Simulators* را انتخاب کنید در این قسمت است که می توان مقدار متغیر ورودی را تعریف کرد.

نوع ورودی را *Clock* انتخاب کنید.

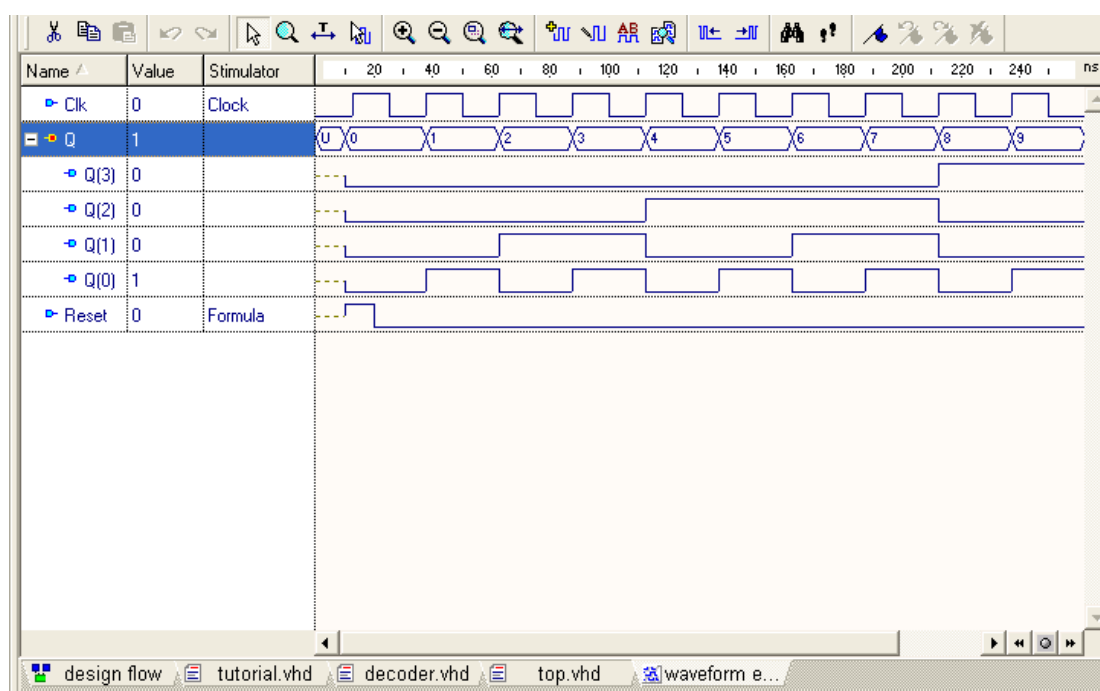


فرکانس و سایر پارامترها را وارد کرده *Apply* را فشار دهید. متغیر *Reset* را نیز به همین ترتیب انتخاب کنید و نوع ورودی را *Formula* انتخاب کنید و مطابق شکل اطلاعات را وارد کنید.



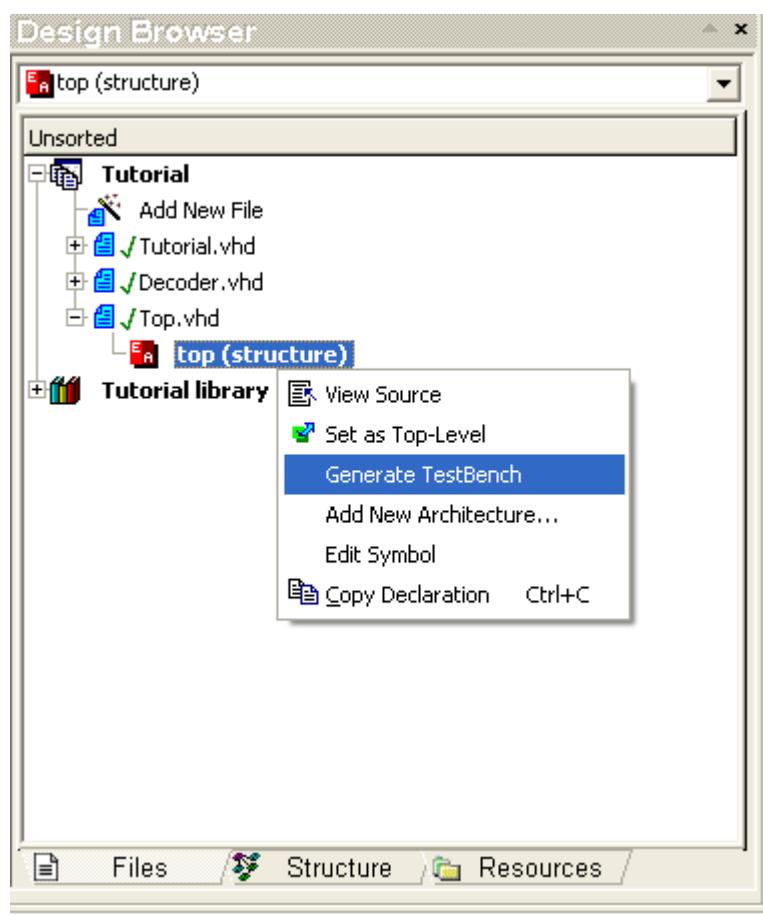
Apply و بعد از آن *Close* را انتخاب کنید.

تا به اینجا مدار آماده آنالیز می باشد. از منوی *Simulation/Run for* , را انتخاب کنید و زمان مورد نظر برای آنالیز را وارد کنید. همین کارها را از طریق *Toolbar* نیز می توان انجام داد. نتایج آنالیز در صفحات مربوطه نمایش داده می شود.

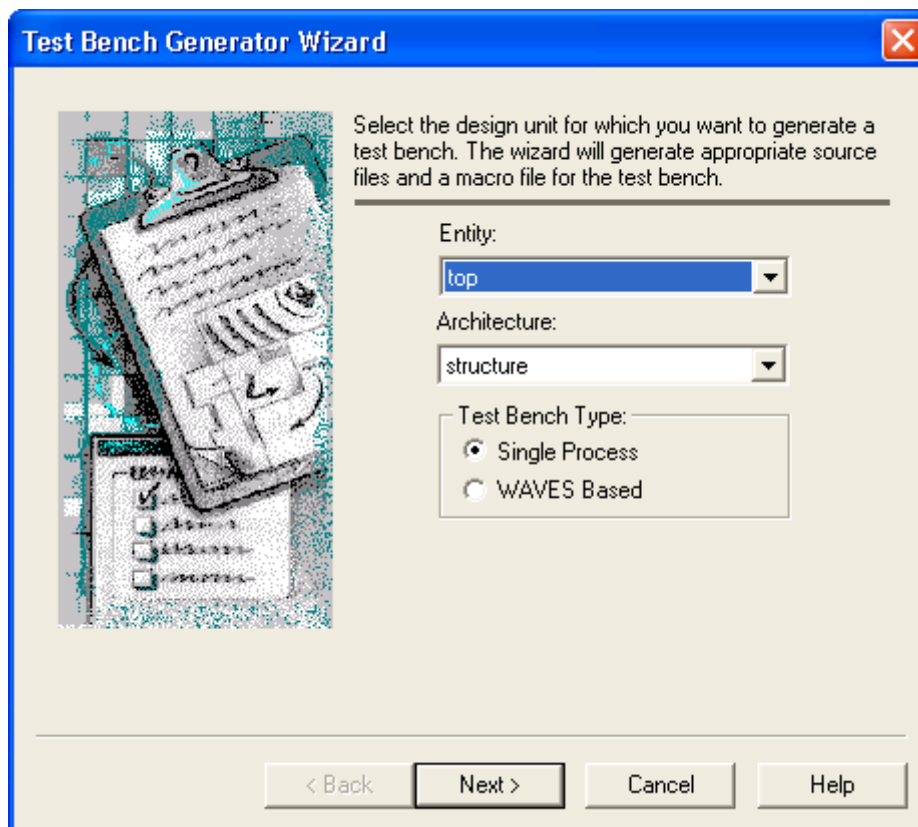


برای اتمام کار شبیه سازی **End Simulation** را از منوی **Simulation** انتخاب کنید. اگر بخواهید از برنامه **Test bench** بسازید لازم است تا در گام اول شکل موجها را ذخیره کنید. از منوی **Export/ File/Waveforms** را انتخاب کنید. در پنجره ظاهر شده نام فایل را **stimuli** وارد کنید و **Save** را فشار دهید.

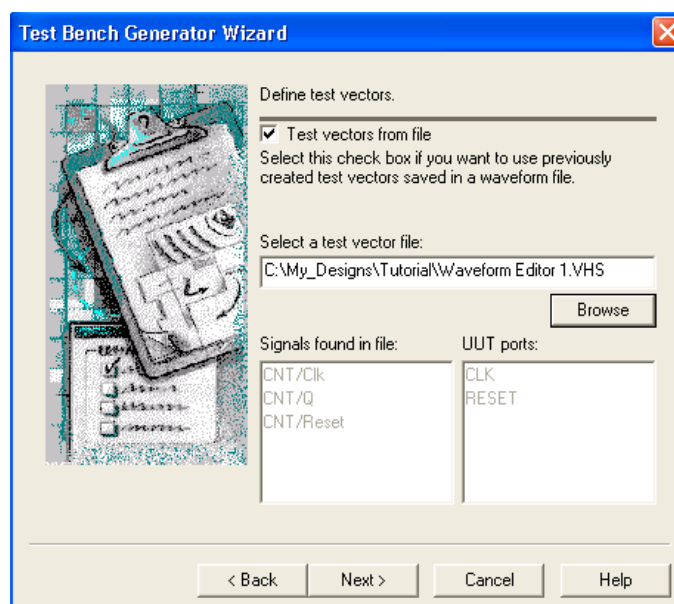
بعد از ذخیره سازی شکل موجها، در **Design Explorer** و بر روی **Top** کلیک راست کنید و از منوی **Generate Test Bench** را انتخاب کنید تا پنجره **Generator wizard Test bench** را ببینید.



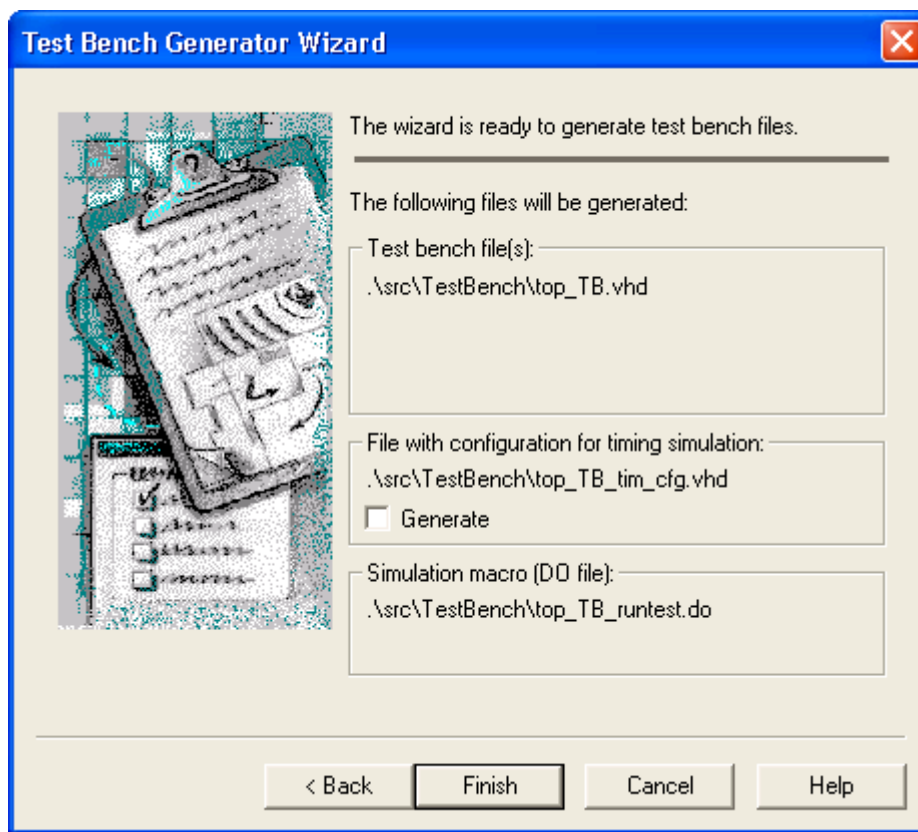
مطابق شکل **Entity** را **Top** انتخاب کنید و **Next** را فشار دهید.



توجه کنید که در پنجره بعدی در *Test vectors from file* علامت ✓ ظاهر شده باشد. در قسمت *Select a waveform file* نام فایلی را که در قسمت قبل وارد کرده بودید دوباره تایپ کنید و همچنین از *Browse* هم می توانید استفاده کنید. سپس *Next* را فشار دهید. در گام بعدی یکسری مشخصات فایل نهایی پرسیده میشود مطابق شکل به این بخش جواب دهید.

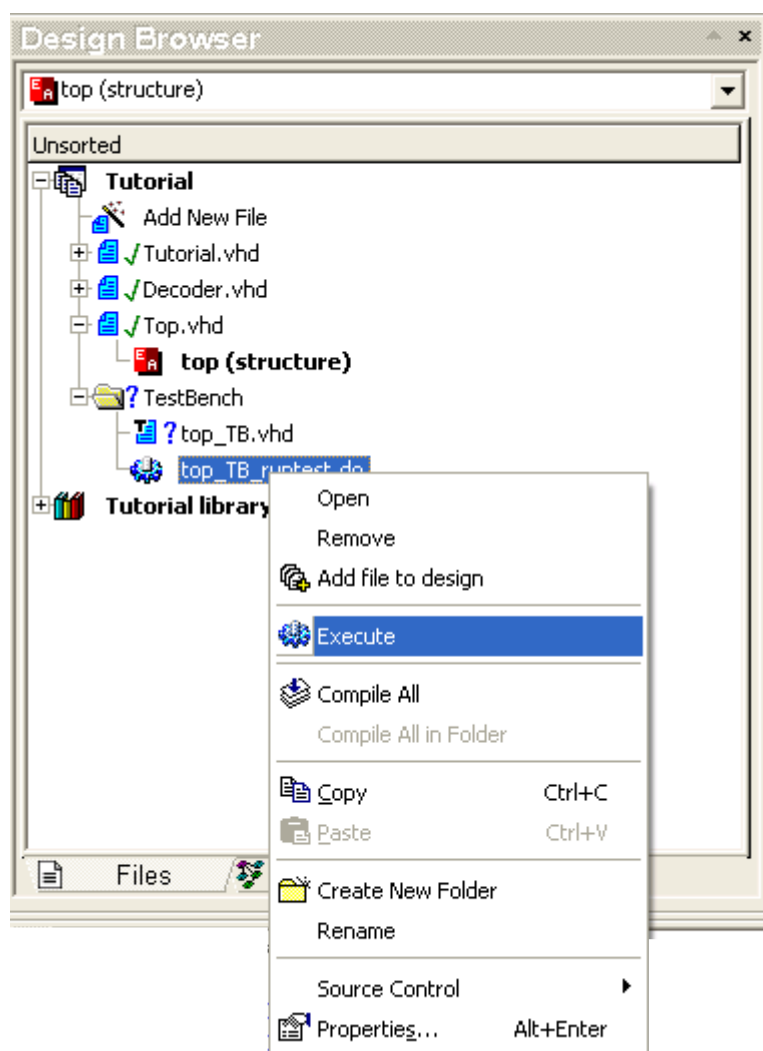


Next را فشار دهید و از پنجره آخری *Finish* را انتخاب کنید.

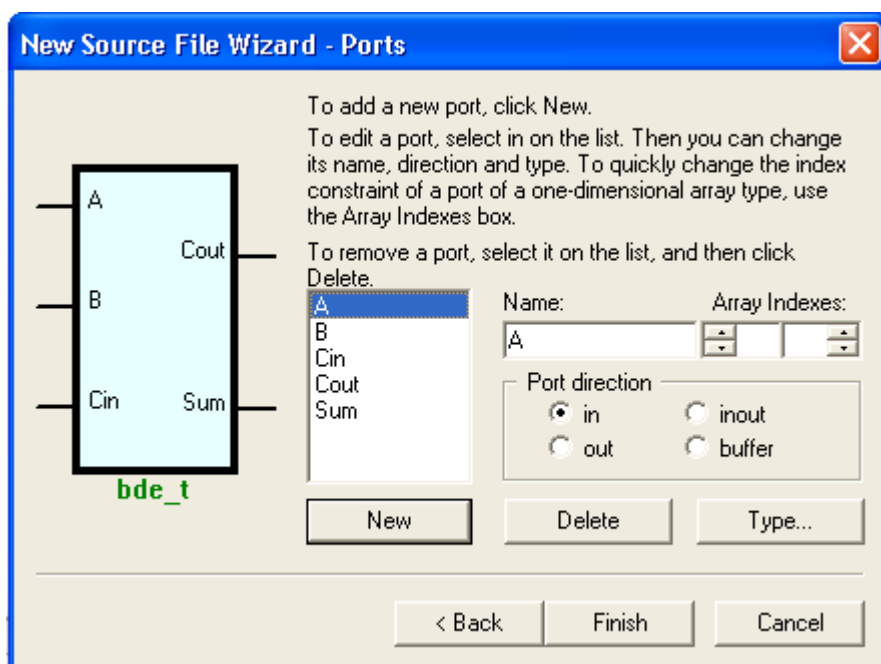


پس از انجام مراحل فوق مربوط به *Test Bench* ساخته می شود و به لیست فایل های پروژه اضافه می شود.

با کلیک راست بر روی این فایل به انتخاب *Execute* فایل مربوطه اجرا می شود.



این نرم افزار دارای قابلیت کار بر روی بلوک دیاگرام و به صورت مختلط نیز می باشد. با روند بحث شده پروژه جدیدی با نام *BDE-tutorial* ساخته و یک فایل *VHDL* با اطلاعاتی مطابق شکل زیر به آن اضافه کنید.



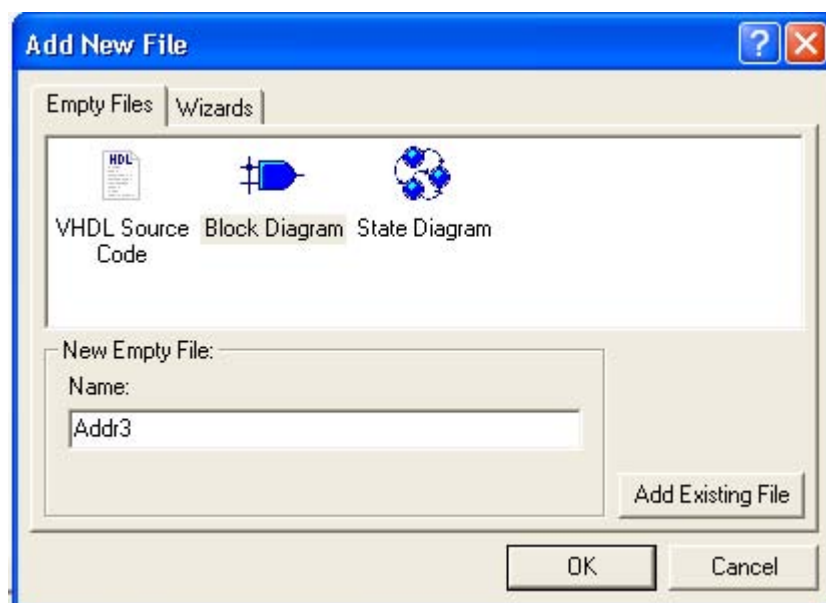
Finish را انتخاب کنید تا فایل های پروژه تولید شود. پس از این مرحله **Design Browser** به فرم شکل زیر خواهد بود.



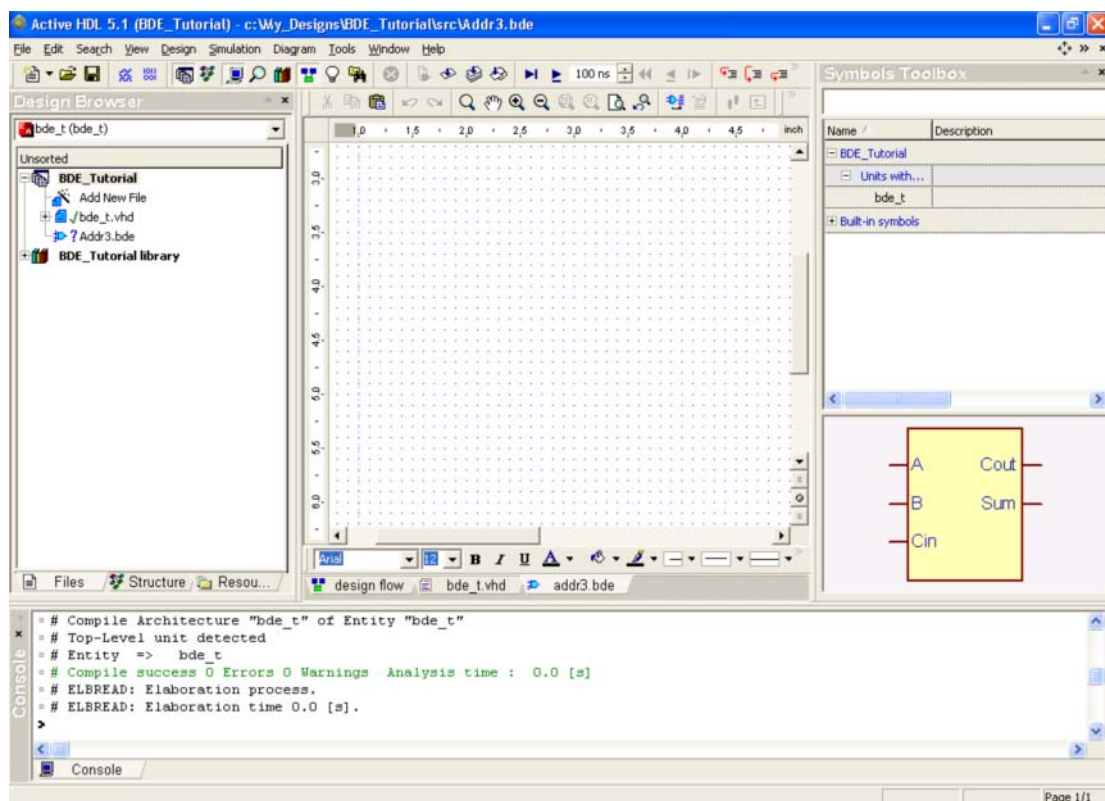
با کلیک مکرر بر روی فایل **Adder1.vhd** متن آن را باز کنید و در زیر متن **--<enter your statement here>** عبارت های زیر را وارد کنید:

```
Sum <= A Xor B Xor Cin;
Cout <= (Cin and A) or (Cin and B) or (A and B);
```

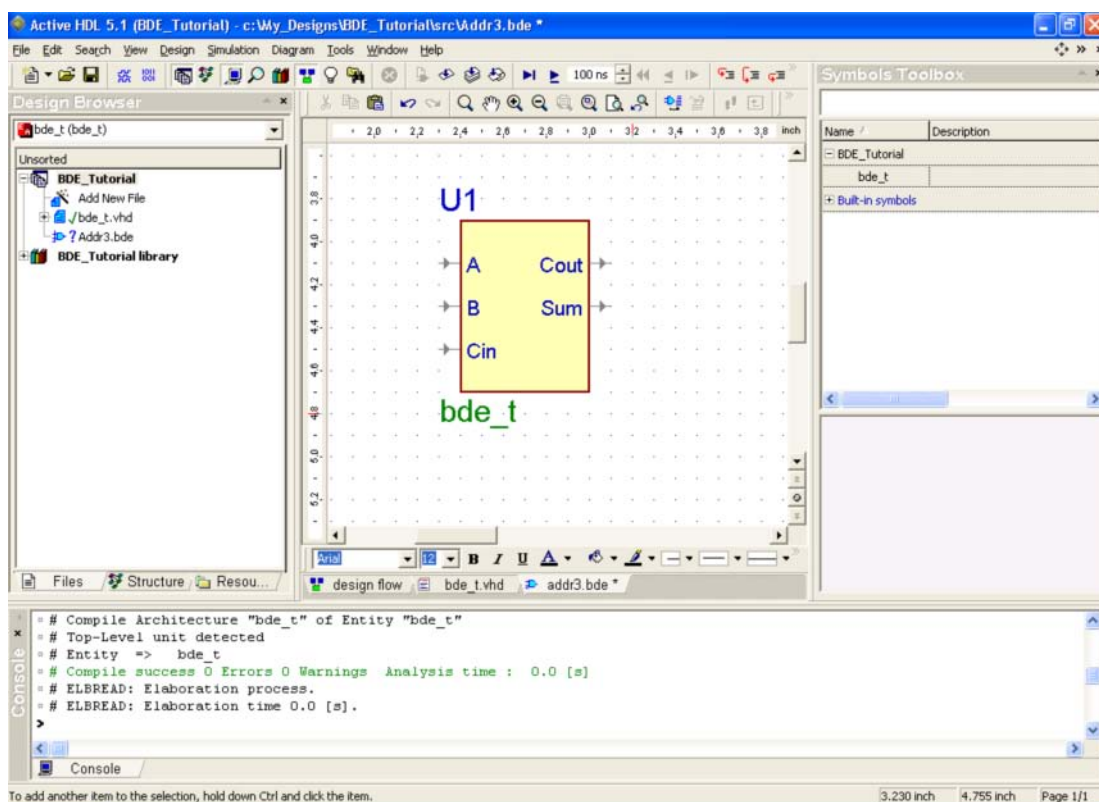
پس از وارد کردن متن فوق که توصیف یک تمام جمع کننده است، طرح را کامپایل کند. در گام بعدی یک فایل به صورت بلوک دیاگرام به فایل های پروژه اضافه خواهد شد تا در نهایت جمع کننده سه بیتی ساخته شود. در **Design Browser** بر روی **Add New File** با ماوس کلیک مکرر کنید تا پنجره مربوطه مطابق شکل نمایش داده شود.



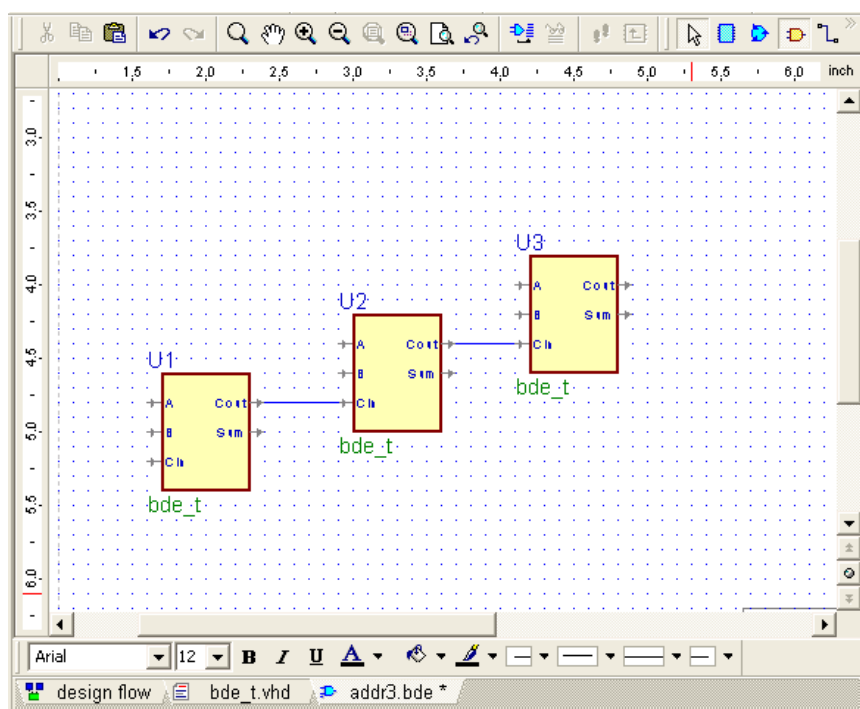
Block Diagram را انتخاب کنید و در قسمت نام **addr3** را تایپ کنید و **OK** را با ماوس فشار دهید. قسمت **Block Diagram** با یک صفحه خالی نمایش داده می شود. طرح هایی که در قسمت های قبل کامپایل شده به صورت بلوک دیاگرام در این قسمت موجود می باشند. با انتخاب **View/Symbols Toolbox** یا فشردن کلید **S** لیست عناصر موجود نمایش داده می شود.



Adder 1 را انتخاب کرده و به صفحه طراحی بلوک دیاگرام منتقل کنید.



با همین روش دو المان دیگر را به طرح اضافه کنید و مطابق شکل سیم بندی های لازم بین *Cout* و *Cin* را انجام دهید.

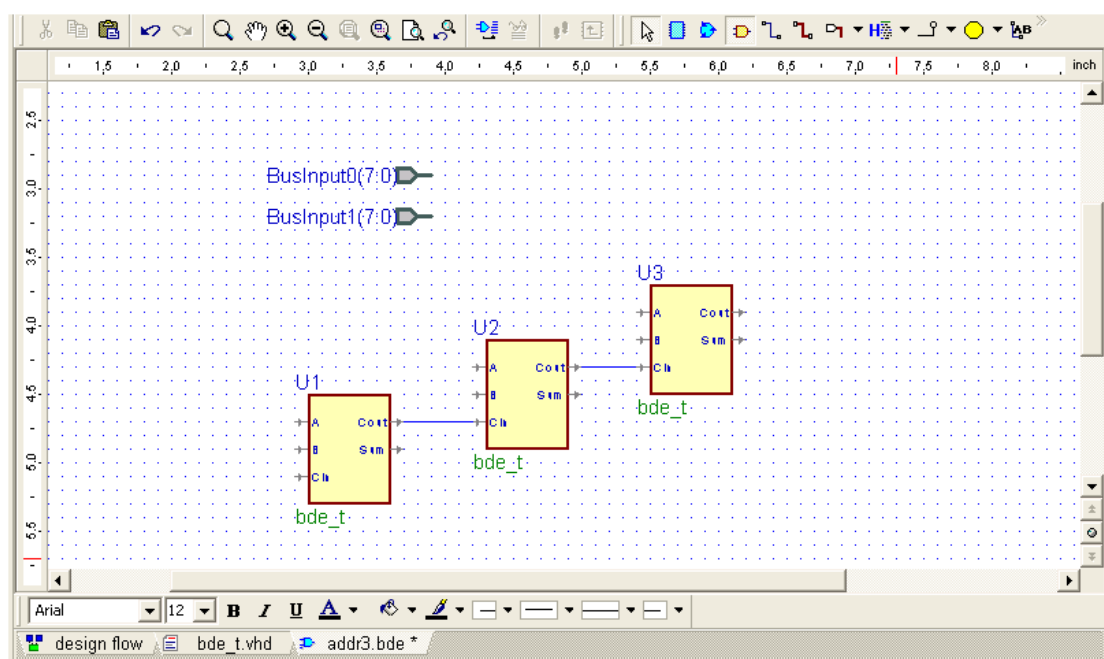


چون در طراحی اولیه فایل از روش اتوماتیک استفاده نکردیم طرح حاوی هیچ پورتی نیست و لازم است تا پورت ها به صورت دستی به طرح اضافه شود.

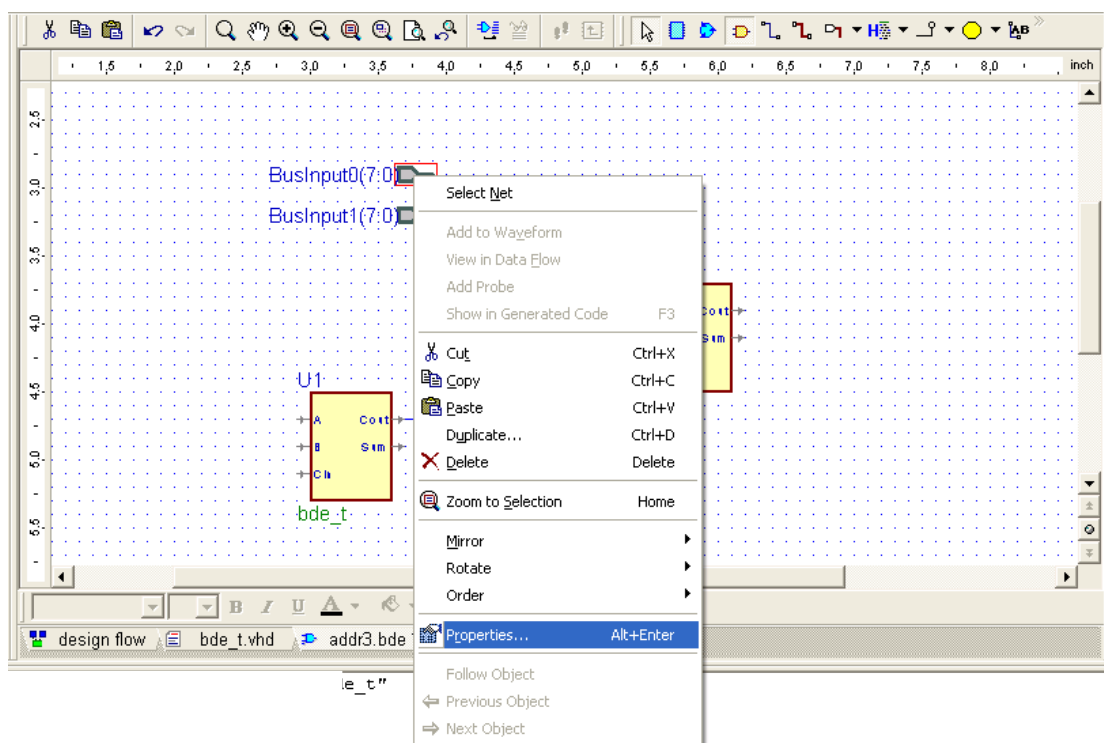
	Input	I
	Output	O
	Inout	9
	Buffer	0
	Bus Input	Shift+I
	Bus Output	Shift+O
	Bus Inout	Shift+9
	Bus Buffer	Shift+0

با انتخاب علامت مثلی که در کنار گزینه پورت می باشد لیست کامل آنها مطابق شکل روبرو نمایش داده می شود.

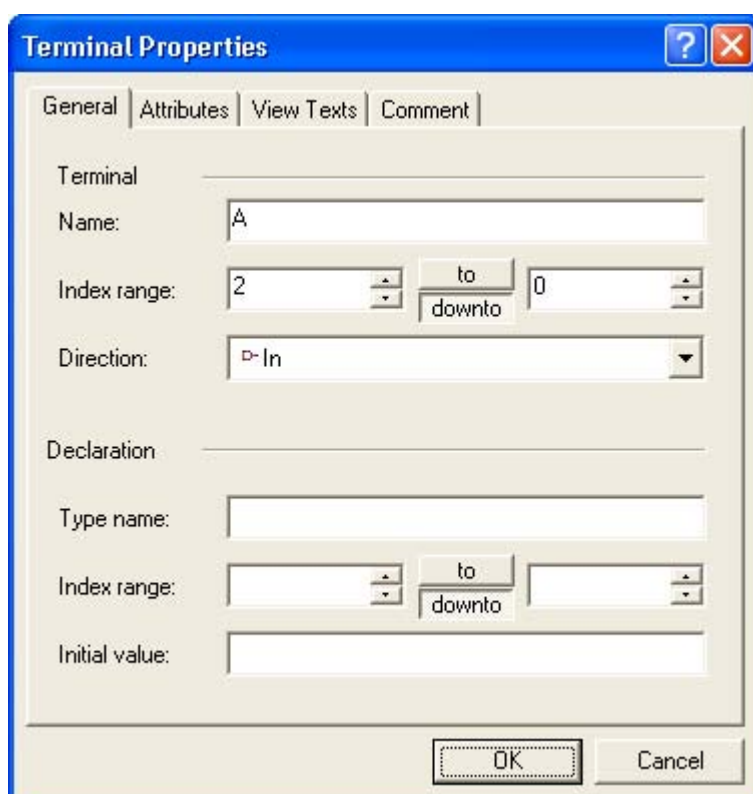
از بین پورت های نمایش داده شده پورت ورودی به صورت باس را انتخاب کرده و به صفحه طراحی منتقل کنید. این کار را دو بار تکرار کنید تا شکل صفحه به صورت زیر فوق باشد.



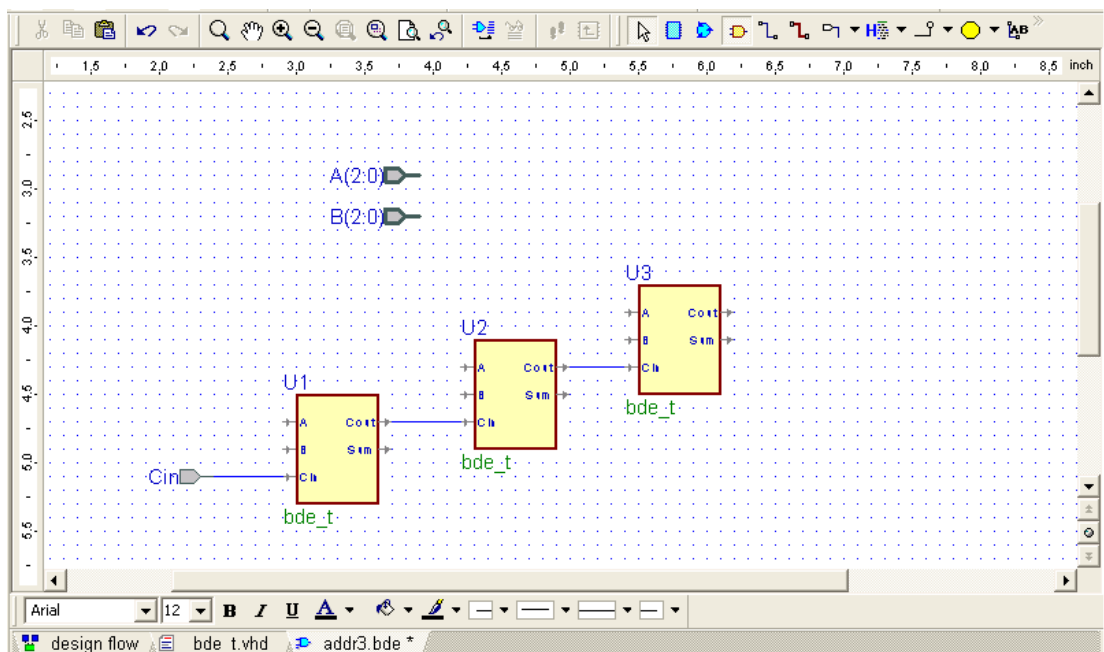
ماوس را بر روی یکی از پورت ها قرار داده آن را انتخاب کرده و سپس کلیک راست کنید. در منوی نمایش داده شده **Properties** را انتخاب کنید تا مشخصات کامل پورت نمایش داده شود.




در پنجره **Terminal Properties** نام پورت را **A** و اندازه آن را از ۲ تا. مطابق شکل وارد کنید. برای پورت دیگر هم این کار را تکرار کنید فقط با این تفاوت که نام آن را **B** قرار دهید.

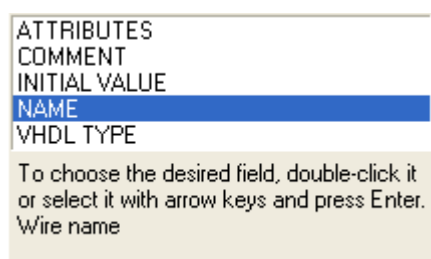


با همین روند پورت ورودی به نام **Cin** به طرح اضافه کنید و آن را با کمک ابزار سیم کشی به ورودی **Cin** مربوط به بلوک **U0** متصل کنید.

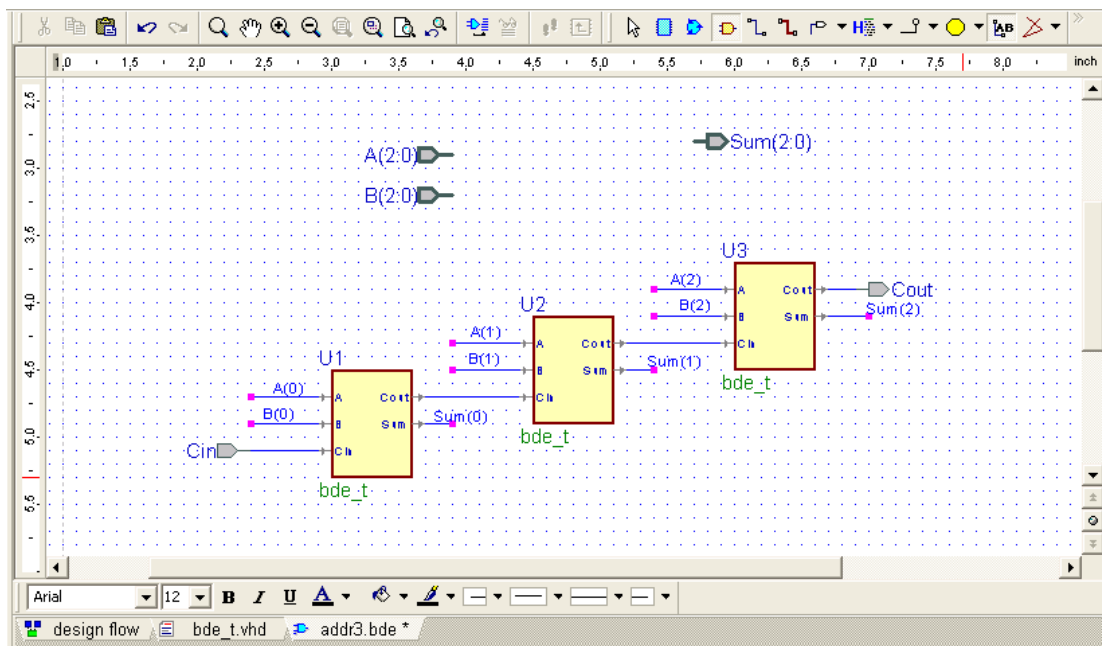


برای خروجی مدار پورتی به صورت باس و با نام *Sum* و با اندازه ۲ تا ۰ و یک پورت تک بیتی به نام *Cout* به طرح اضافه کنید توجه کنید که این پورت ها حتماً به فرم خروجی باشند.

با کمک ابزار سیم کشی به هر کدام از پورت ها در بلوک های مختلف تکه سیمی را متصل کنید. باانتصاب نام مناسب به هر کدام از این سیم ها در واقع اتصال فیزیکی بین آن و متغیر دیگری برقرار می شود. برای این کار ابزار نام گذاری  را انتخاب کنید تا شکل نشانگر ماوس عوض شود. نشانگر را بر روی سیم مورد نظر قرار دهید و دگمه چپ ماوس را فشار دهید با این کار پنجره خواص سیم ظاهر می شود. *Name* را انتخاب کنید و در قسمت مربوطه مطابق شکل زیر اسم ها را وارد کنید.



همین کار را برای سیم های خروجی نیز انجام دهید و نام گذاری لازم را انجام دهید در این قسمت کار وارد کردن اطلاعات فایل ورودی تمام می شود و شکل صفحه باید مطابق شکل زیر باشد.



فایل را ذخیره کنید و در قسمت **Design Browser** با کلیک راست ماوس بر روی نام آن، طرح را کامپایل کنید.

مطابق با بحث قبل می توانید طرح را شبیه سازی کنید.

مشخصات

در این قسمت نویسنده می تواند بیوگرافی مختصر، به همراه تصویر چهره و **Email** خود را قرار دهد.