

به نام خدا

منبع تغذیه سوئیچ CMOS با ولتاژ کم و دقیق با کنترل "مدولاسیون فرکانس- پالس" (PFM) با روش زمان روشن تطبیقی

An Accurate, Low Voltage, CMOS Switching
Power Supply with Adaptive on-time Pulse-
Frequency Modulation Control

Biranchinath Sahu, *Member, IEEE* and Gabriel A. Rincón-Mora, *Senior Member, IEEE*

(REVISED VERSION OF 1884)

۱. چکیده: منبع تغذیه سوئیچ یکپارچه با چندین حالت کنترلی روز به روز از محبوبیت خاصی در کاربردهای قابل حمل صنعتی مانند تلفن همراه، دستیار دیجیتالی شخصی (PDA)، ... برخوردار می شود. به علت توانایی آنها در تطبیق با شرایط مختلف بارگیری و دست یافتن به بازده بالا در رنج وسیع جریان بار می باشد که برای طول عمر باتری بسیار مهم می باشد. به عنوان نمونه فرکانس ثابت، مبدل سوئیچ "مدولاسیون پهنای پالس" (PWM) به علت اتلاف سوئیچ بالایی دارای بازده بار سبک ضعیفی می باشد در صورتی که کنترل "مدولاسیون فرکانس پالس" (PFM) در "حالت انتقال نا پیوسته" (DCM) بازده بیشتری در بار سبک (کوچک) دارد. زیرا فرکانس سوئیچ و اتلاف سوئیچ ایجاد شده با کمتر شدن جریان بار کمتر شده است. این مقاله نتایج طراحی و نمونه اولیه مبدل dc-dc با CMOS PFM 0.5 V, 50 mA، بازده توان 83% را با طرح تطبیقی جدید که ولتاژ ریزل خروجی 27 mV از ورودی 1.4-4.2 V (رنج باتری) تغذیه می کند را ارائه می کند. نوسان (تغییرات) ولتاژ ریزل خروجی و دقت حالت ثابت برای منبع ارائه شده 5mV (22-27 mV) و 0.6% می باشد که مقدار ثابت نقطه مقابل به ترتیب برابر با 45 mV (10-55 mV) و 3.6% می باشد. طرح کنترلی ارائه شده یک منبع تغذیه دقیق با بازده 10-2% بیشتر از طرح های متداول قبلی تامین می کند که در این روش پیچیدگی بسیار کمی به مدار افزوده شده است، که در حین شرایط بار نوری بسیار مهم می باشد، که جریان مدار هنگامی که هیچ سیگنال ورودی اعمال نشده است نقش محوری در مشخص کردن بازده و کارایی طول عمر باتری ایفا می کند.

واژه های کلیدی: منبع تغذیه، مبدل، کنترل، تطبیق زمان روشن

ترجمه شده توسط تیم ترجمه وب سایت تخصصی برق و الکترونیک ECA



مقدمه: تقاضای زیاد برای وسیله های قابل حمل که دارای صدا، اطلاعات، تصویر، مولتی مدیا می باشند ضرورت یافتن روشهایی برای کمتر مصرف کردن توان و ذخیره ولتاژ باتری های مختلف را هر چه بیشتر نمایان می سازد. مدار سازماندهی توان صنعتی برای تولید ریل های ولتاژ دینامیک و ثابت در یک سیستم از منبع باتری می باشد. (e.g., NiCd, NiMH: 0.9-1.8 V, Li-ion: 2.7-4.2 V)

[1] تکنولوژی پیل سوختی، به علت چگالی انرژی بالا [2] در تحقیقات نظامی، فضایی، الکترونیکی با علاقه و با شدت بررسی و تعقیب می شود. برای مثال، پیل سوختی متانول مستقیم (DMFC) دارای تغییر ولتاژ 0.2 تا 0.7 V می باشد. [3]. تمامی اینها بیان می کند که هر دو منابع تغذیه قابل حمل امروزی و آینده دارای تغییر وسیعی در ولتاژ ورودی منبع می باشند که سیستم سازماندهی توان باید در تولید مقدار ولتاژ خروجی تطبیقی دینامیکی و یا ثابت را در نظر گیرد. نگهداری بازده بالا در رنج بار وسیع در مشخ ص کردن طول عمر باتری بسیار مهم می باشد زیرا از یک طرف ابزارهای قابل حمل اکثرا در حالت استراحت بوده و در بار نوری باقی می مانند. کارایی بالا و توان بالا هزینه چشمگیری در باتری دارند. هنگامی که مبدل سوئیچ برای بازده بالا در سطح توان اوج ویژه که در شرایط بار medium-to-light عمل می کند، طراحی شود بازده آن و کارایی طول عمر باتری کاهش می یابد. این حالت تاثیر منفی بر روی منبع "مدولاسیون پهنای پالس" (PWM) فرکانس ثابت می گذارد زیرا اتلاف سوئیچ سهم اصلی از اتلاف توان کلی را تشکیل می دهد هنگامی که به آرامی بارگیری صورت می گیرد.

برای دستیابی به بازده بالا در شرایط باری moderate-to-light اتلاف توان مستقل بار را کاهش می دهند که قسمت بیشتری شامل اتلاف سوئیچ می باشد [4]. با کاهش فرکانس سوئیچ در حالت PWM اتلاف سوئیچ کاهش می یابد اما نتایجی که در جریان پیک بالاتر از طریق سلف و ترانزیستورهای توان حاصل نمی شود نه تنها اتلاف توان بالاتر را سبب می شود بلکه نسبت جریان نسبی و سایز مورد نیاز را نیز افزایش می دهد که افزایش هزینه را به دنبال خواهد داشت. کنترل مدولاسیون فرکانس پالس (PFM) در حالت انتقال نا پیوسته (DCM) [5] جانشین مناسبی برای بار light-to-moderate می باشد زیرا به علت فرکانس سوئیچ پایین اتلاف سوئیچ کاهش می یابد که بدین علت کنترلر های تجاری dc-dc [6]-[8] ترکیبی از کنترل PFM و PWM استفاده می کنند.

مبدل های سوئیچ همزمان موثر، از کنترل PFM تحت شرایط DCM که معمولا با جریان پیک سلف [9]-[11] یا ثابت (زمان ثابت) [12] استفاده می کنند. در قبلی جریان سلف دریافت، احیا و با نمونه های نسبتا پیچیده و سریع در تقویت کننده های آنالوگ و مقایسه کننده ها کنترل شده که منجر به اتلاف توان اضافی می شود که در نهایت باعث هزینه بالایی می گردد. تجهیزات سرعت بالا در مقایسه کننده جریان پیک در شرایط چرخه کار پایین، حاده می باشد هنگامی که ولتاژ ورودی بالا و خروجی پایین باشد زیرا تاخیر باعث ایجاد قسمتی از زمان روشن مبدل می شود. اتلاف توان در جریان بار moderate-to-high کم می باشد و آنها در حالت استراحت و یا شرایط بار سبک نمی باشند. طول عمر باتری در بسیاری از ابزارهای قابل حمل تاثیر گذار میباشد. دریافت جریان پیک سلف برای حفاظت جریان بیش از حد توسط دریافت ولتاژ پیک در سوئیچ های همزمان مقدور می باشد که دقیق نبوده ولی عملی می باشد. از طرف دیگر در کنترلر های ثابت جریان سلف نه دریافت و نه مقایسه می شود اما هزینه مقایسه تغییرات ولتاژ خروجی را افزایش می دهد. مخصوصا زمانی که از منبع متغیر تغذیه شود. ثابت زمانی در تغییر منبع ورودی منجر به تغییر جریان پیک سلف می شود و انرژی ورودی به خ روجی در یک چرخه انتقال می یابد، تغییر می کند. [5] که باعث تولید ولتاژ خروجی متوسط و ریل متغیر می شود.

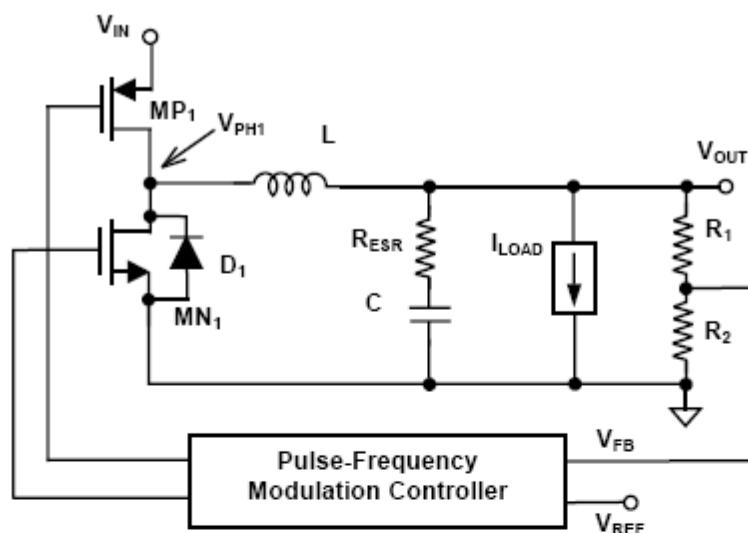
این مقاله تکنیکهای جدیدی را ارائه می کند که توسط آن انرژی متغیر انتقال می یابد و تغییرات ولتاژ ریل خروجی با تطبیق دینامیکی زمان مبدل با الکترونیک آنالوگ ساده کمتر می شود که دستیابی به دقت کارایی کنترل جریان پیک در صورت استفاده از روش زمان روشن ثابت که باعث افزایش بازده توان می شود. مبدل PFM زمان روشن تطبیقی طراحی شده و با MOSIS 0.5 μm که IC طرح اولیه CMOS می باشد بررسی شده است. برای صرفنظر از تزریق نویز لایه، سوئیچ توان

به صورت جداگانه در IC خود قرار داده شده است. منبع تغذیه برای هر دو حالت عاملیت و کارایی در رنج ولتاژ ورودی 1.4- 4.2 V بررسی می کند که کران پایین با ولتاژ آستانه PMOS محدود می شود (0.95 V). قسمت دوم این مقاله طرح ارائه شده را توضیح و در مورد طراحی سیستم مختلف کنترل زمان روشن تطبیقی بحث می کند. در قسمت سوم بلوک مدار اصلی کنترلر و طراحی های مربوطه بحث می شود. نتایج تجربی مبدل یکپارچه و بحث های دیگر در قسمت چهارم بیان شده است. سرانجام در قسمت 5 محاسبات ارائه شده است.

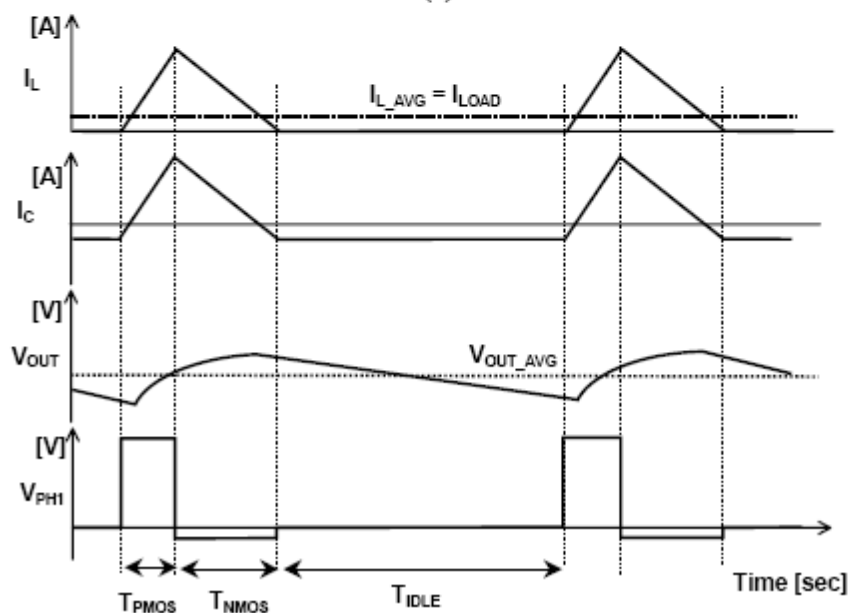
II. بررسی طراحی سیستم:

A. عملکرد مبدل اصلی

شماتیک مبدل زمان روشن با کنترل PFM در DCM عمل می کند و حالت موجی در شکل 1 نشان داده شده است. DCM به عملکرد مبدل بستگی دارد که جریان سلف در مقدار صفر برای مدت سوئیچ زمانی که جریان بار کمتر از نصف پیک جریان سلف باشد باقی می ماند [13]. در طول پروسه زمان روشن (TPMOS) ترانزیستور MP1 روشن و جریان در سلف L افزایش می یابد که به بار و جریان شارژ خازن تقسیم می شود.



(a)



(b)

شکل ۱. شماتیک مبدل زمان روشن با کنترل PFM (b) حالت موجی اصلی

هنگامی که MP1 خاموش می شود، انرژی ذخیره شده سلف به خازن خروجی انتقال می یابد، جریان اولیه سلف از طریق دیود بدنه ترانزیستور (D1) MN1 و سپس سویچ همزمان MN1 صفر می شود. در حین T_IDLE هر دو سویچ خاموش باقی می ماند و خازن خروجی جریان بار مورد نیاز را تامین می کند. بار کلی که در سلف ذخیره شده است برابر با سطح زیر منحنی موج جریان سلف می باشد که به صورت زیر مشخص می شود:

$$Q_L = \frac{1}{2} \frac{T_{PMOS}^2 (V_{IN} - V_{OUT}) V_{IN}}{V_{OUT} L} \quad (1)$$

با صرفنظر از اتلاف توان در مبدل برای بدست آوردن تقریب مرتبه اول و فرض بر اینکه مدار به درستی خروجی را تنظیم می کند، بار کلی در سلف ذخیره می شود که برابر باری می باشد که به بار تحویل داده می شود به صورت زیر مشخص می شود :

$$Q_L = I_{OUT} T, \quad (2)$$

که T برابر با مجموع فاصله های سوئیچ TIDLE، TNMOS، TPMOS در حین عملکرد PFM در DCM می باشد. از آنجائی که انرژی که توسط بار مصرف می شود کمتر از انرژی ذخیره شده در سلف در حین زمان روشن می باشد لذا جبران انرژی تلف شده در حین زمان خاموش ضروری می باشد. بدترین حالت ریپل ولتاژ خروجی (ΔV) که با فرض بر اینکه بار کلی در سلف به خازن C تحویل داده می شود به صورت زیر محاسبه می شود:

$$\Delta V = \frac{Q_L}{C}. \quad (3)$$

در نتیجه با خازن خروجی و سلف توان با توجه به کنترل PWM در حالت هدایت ناپیوسته (CCM) طراحی شده است، پیک جریان سلف و در نتیجه زمان روشن ترانزیستور MP1 مشخص می شود تا ولتاژ ریپل خروجی در محدوده دقت مورد قبول باقی بماند. همانطوری که در کاربرد مورد نیاز می باشد.

B . کنترل زمان روشن تطبیقی

اگر حالت زمان روشن به صورت بهینه برای رنج منبع ورودی بالا طراحی شود (4.2 V)، جریان پیک سلف و انرژی سلف هنگامی که مبدل در رنج پایین ورودی (1.4 V) عمل می کند کمتر می شود. زیرا نسبت خیز جریان به صورت خطی متناسب با ولتاژ ورودی می باشد. به عنوان نتیجه می توان گفت مبدل به سریعتر عمل کردن سوئیچ برای حفظ تنظیم نیاز دارد. در نتیجه افزایش اتلاف سوئیچ و نقض مزیت های ذخیره توان PFM در عملکرد DCM را منجر می شود. از طرف دیگر که برای رنج ولتاژ منبع پایین تر طراحی شده است جریان پیک بالاتری را تولید می کند و در نتیجه ولتاژ ریپل بالاتری هنگامی که در بالاترین ولتاژ منبع ورودی باشد را سبب می شود. زمان روشن ترانزیستور MP1 که از نوع PMOS می باشد (T_{PMOS}) در کنترل باید تابعی از ولتاژ ورودی V_{IN} و خروجی V_{OUT} و جریان پیک سلف I_{L_PEAK} باشد.

$$T_{PMOS} = \frac{I_{L_PEAK}}{V_{IN} - V_{OUT}} L, \quad (4)$$

که برای ولتاژ ورودی داده شده، سلف L ، خازن C و ترکیب ΔV ریپل خروجی، جریان پیک سلف I_{L_PEAK} داریم:

$$I_{L_PEAK} = \sqrt{\frac{2C\Delta V}{L} \left(\frac{V_{IN} - V_{OUT}}{V_{IN}} \right) V_{OUT}}. \quad (5)$$

همانطوری که در قسمت قبلی بیان شد کنترل زمان روشن ثابت تحت رنج وسیعی از ولتاژ ورودی باعث ایجاد جریان سلف متغیر در نتیجه ولتاژ ریپل خروجی متغیر می گردد. برای غلبه بر این و نگهداری ولتاژ ریپل خروجی، زمان روشن مبدل به صورت دینامیکی هنگامی که ولتاژ منبع تغییر می کند باید تنظیم شود.

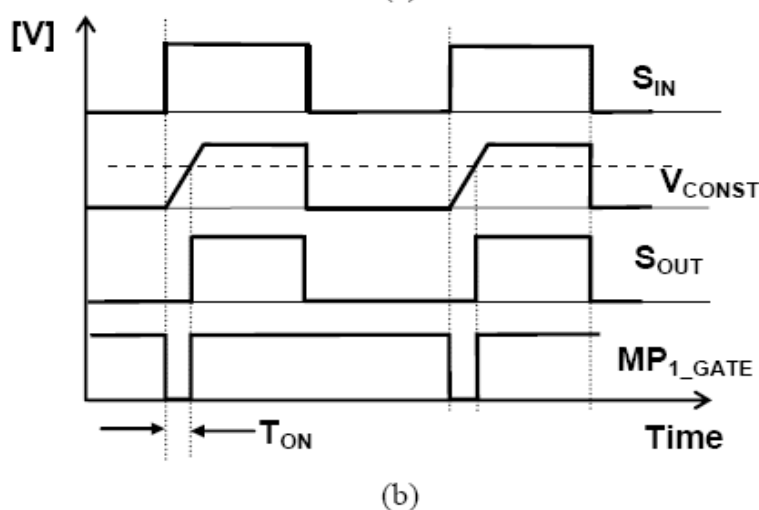
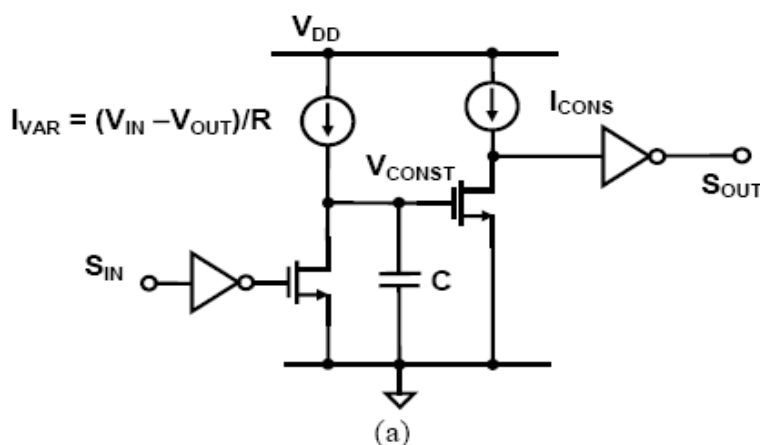
$$T_{ON}(T_{PMOS}) = \sqrt{\frac{2LC\Delta V V_{OUT}}{V_{IN}(V_{IN} - V_{OUT})}}. \quad (6)$$

شکل ۲. شماتیک سطح بلوکی و نمودار زمانی مربوطه در طرح PFM تطبیقی را نشان می دهد. منبع جریان متغیر I_{VAR} که به منبع ورودی و ولتاژ خروجی بستگی دارد برای شارژ خازن از مقدار صفر تا ولتاژ آستانه مشخص شده (ولتاژ گیت سورس V_{CONST})، بکار می رود. زمان مورد نیاز برای رسیدن به ولتاژ آستانه (زمان روشن مبدل: T_{CHARGE}) به صورت خطی متناسب با جریان وابسته به منبع I_{VAR} می باشد.

$$T_{CHARGE} = \frac{V_{CONST} C}{I_{VAR}} = \frac{V_{CONST} RC}{V_{IN} - V_{OUT}}, \quad (7)$$

که R برای تنظیم جریان بکار می رود. برای جریان پیک سلف به صورت ثابت با صرف نظر از ولتاژ منبع، زمان روشن مبدل و زمان شارژ خازن برابر باشند. که به صورت زیر مشخص می شود:

$$T_{ON} = \frac{L I_{L_PEAK}}{V_{IN} - V_{OUT}} = \frac{V_{CONST} RC}{V_{IN} - V_{OUT}}. \quad (8)$$

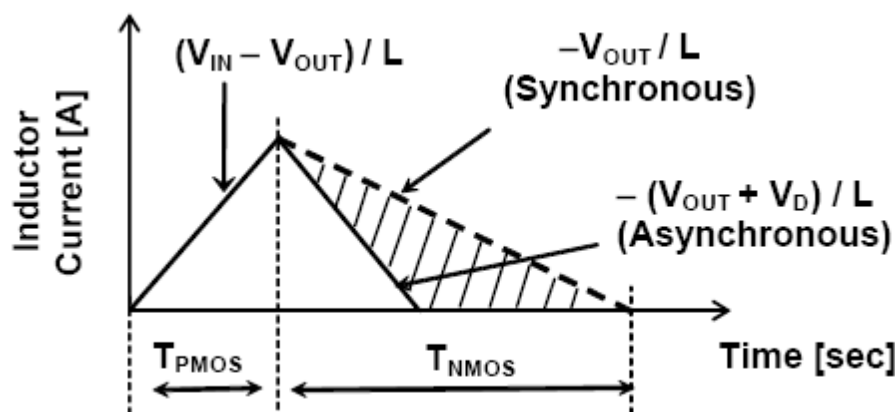


شکل ۲. شماتیک سطح بلوکی و (b) نمودار زمانی مربوطه در طرح PFM تطبیقی (مدار تولید زمان روشن)

بنابراین مقدار مناسب C, R, V_{CONST} زمان روشن وابسته به منبع مطلوب را مشخص می کند که ولتاژ بالاتر باعث ایجاد زمان روشن کمتر مبدل می شود.

C. سوچ آسنکرون در برابر سنکرون (زمان روشن)

در کنترل PFM که میان دو عملکرد هزمان و غیر همزمان صورت می گیرد بهبود در بازده مخصوصا برای شرایط بارهای سبک انتظار داریم. که جریان خاموش تاثیر مهمی بر روی بازده و طول عمر باتری دارد. در صورتی که جریان سلف در نسبت یکسان در سوچ DCM سنکرون و آسنکرون (شکل ۳) افزایش می یابد که با سوچ آسنکرون سریعتر انجام می شود زیرا ولتاژ اضافی بر روی دیود افتاده و نسبت آن را افزایش میدهد. به عنوان نتیجه بار انرژی خالص که از منبع ورودی به خروجی انتقال می یابد در حالت آسنکرون کمتر می باشد که علت بیشتر سوچ کردن مبدل آسنکرون نسبت به سنکرون برای جبران توان تلف شده در دیود می باشد که به بار بازگردانده می شود که باعث اتلاف بیشتر و بازده کمتر می شود.



شکل ۳. حالت موجی جریان سلف در یک چرخه سوچ با عملکرد سنکرون و آسنکرون در کنترل PFM.

برای جلوگیری از اتلاف فلولی جریان منفی در سوچ سنکرون، نیاز به یک مدار دیگر برای تشخیص شروع جفولی منفی می باشد و این مدار اتلاف توان اضافی را موجب می شود. در نتیجه اگر اتلاف توان در دیود برای جریان داده شده، فراتر از مدار آشکار سازی شود در این صورت عملکرد سنکرون تضمین می شود در غیر این صورت مدار آشکار سازی از کار افتاده و اتلاف توان این مدار صورت نمی گیرد.

اتلاف بار در دیود QBD در هنگام انتقال یک قطار انرژی در شکل 3 نشان داده شده است که برابر با اختلاف انرژی ذخیره شده در سلف هنگام سوچ به صورت سنکرون و آسنکرون می باشد.

$$Q_{BD} = \frac{1}{2} \frac{T_{PMOS}^2 (V_{IN} - V_{OUT})}{V_{OUT} L} \left(1 - \frac{1 + \frac{V_D}{V_{IN}}}{1 + \frac{V_D}{V_{OUT}}} \right). \quad (9)$$

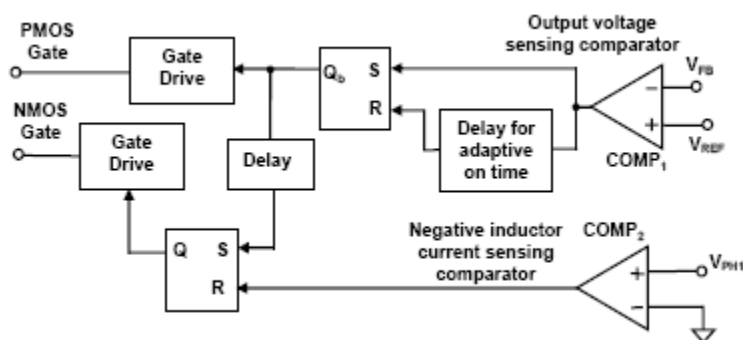
مدت زمان برای فراخوانی سوچ سنکرون برابر با بار کلی مورد نیاز توسط مدار تشخیص ج ریان منفی سلف می باشد که برابر با مدت زمان سوچ TS جریان خاموش IQ_NCS و PFM می باشد.

$$Q_{NCS} = I_{Q_{NCS}} T_S \cdot \quad (10)$$

به عنوان نتیجه معیار محدود کنندگی برای مشخص کردن عملکرد سنکرون یا آسنکرون به فرکانس سویچ و جریان خاموش مد ار تشخیص بستگی دارد.

D. کنترلر زمان روشن تطبیقی PFM با سویچ سنکرون

شکل ۴ جزئیات شماتیکی کنترلر PFM را با طرح تطبیقی زمان روشن نشان می دهد. مدار، پیک پایین ریپل خروجی و پیک بالا را هنگامی که کلاک یک سیگنال استراحت ارسال می کند را تنظیم می کند. به بیان دیگر هنگامی که فیدبک ولتاژ V_{FB} را که از ولتاژ خروجی از طریق مقاومت فیدبک حاصل می شود را تشخیص می دهد، ولتاژ منبع V_{REF} را کاهش می دهد و خروجی را $COMP_1$ مقایسه کننده را از سطح پایین به بالا تغییر می دهد.



شکل ۴. مدار کنترلی مدلاسیون فرکانس- پالس (PFM) با طرح زمان روشن تطبیقی

که باعث تحریک خروجی Q_b مکمل لچ SR از بالا به پایین می شود و در نتیجه ترانزیستور MP_1 که ترانزیستور توان PMOS می باشد (شکل 1(a)) را روشن می کند در نتیجه باعث افزایش ریپل خروجی می شود. هنگامی که سیگنال لاینشانی (برگرداندن به حالت اولیه) حاصل می شود، لچ SR رست می شود و سیگنال درایو گیت MP_1 تا اندازه سیگنال منبع ورودی افزایش می یابد که منجر به خاموش کردن وسیله و روشن شدن MN_1 می شود که باعث کاهش مجدد ولتاژ خروجی می شود. برای جلوگیری از جریان "shoot-through" از منبع ورودی به زمین و کاهش اتلاف در مبدل، تاخیر زمانی (زمان مرده) میان زمان خاموش مرحله سویچ PMOS (MP_1) و زمان روشن ترانزیستور سنکرون NMOS (MN_1) معرفی می شود. پس از خاموشی MP_1 (پس از تاخیر) خروجی لچ دوم افزایش می یابد که باعث روشن شدن MN_1 و کاهش جریان ریپل سلف می شود. این جریان تا زیر صفر کاهش می یابد که جریان را به مدار بر می گرداند، اتلاف غیر ضروری توان و تخلیه خازن خروجی C، که علت قرار دادن مقایسه گر $COMP_2$ بر ای تشخیص فلوی جریان منفی می باشد، برای تشخیص این شرایط و خاموش کردن سویچ سنکرون MN_1 (در حالت آسنکرون) می باشد.

گره V_{PH1} محل اتصال ترانزیستور توان MN_1 ، MP_1 و سلف L می باشد و ولتاژ آن توسط MP_1 و MN_1 و مقاومت روشن آنها تنظیم می شود. جریان ریپل سلف از MN_1 هنگامی که کاهش می یابد مثبت می باشد ولی V_{PH1} زیر صفر می باشد. به هر جهت هنگامی که جریان زیر صفر کاهش می یابد (در جهت معکوس) ولتاژ V_{PH1} نیز بالاتر از ولتاژ صفر (زمین) می شود. که شرایط تشخیص استفاده شده در شکل 4 برای خاموش کردن MN_1 و ذخیره اتلاف جریان منفی می باشد. هنگامی که MN_1 خاموش می باشد و از آنجائیکه MP_1 هم خاموش می باشد جریان سلف صفر می باشد.

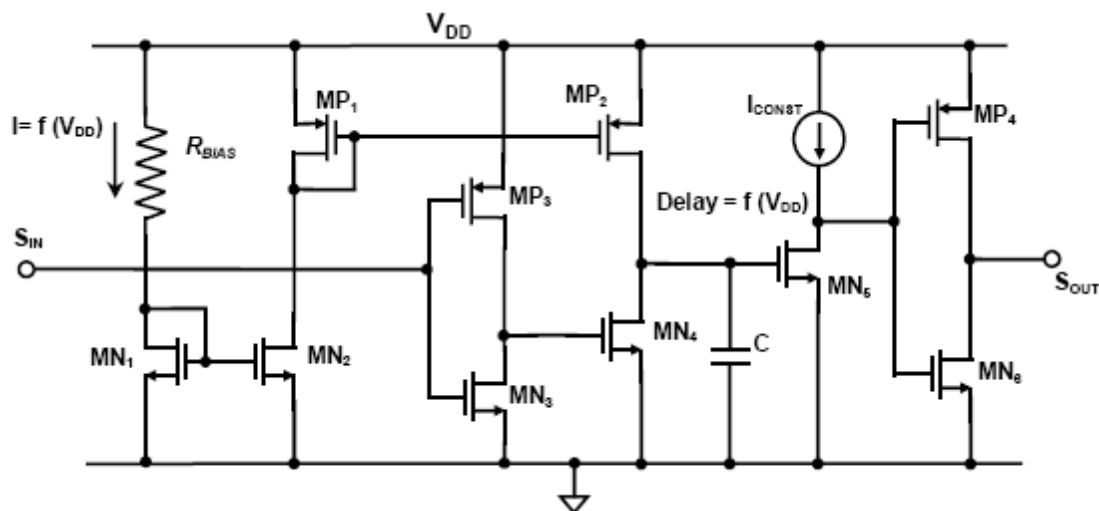
در سیستم های توان بالا ringing (زنگ زدن) باعث تداخل الکترومغناطیسی می شود که در سطح توان پایین روی نمی دهد و بیشترین کاربرد مبدل های PFM می باشد. مقدار آفست در مقایسه کننده بر بازده کلی مبدل تاثیر می گذارد اگر آفست منفی در مقایسه کننده باشد مقدار آستانه کمتر از صفر (زمین) می شود و ممکن است MN1 قبل از صفر شدن جریا سلف نابهنگام خاموش شود. جریان از طریق دیود بدنه MN1 باعث افزایش اتلاف هدایت در آن زمان می شود. که توسط عامل VDIODE/VDS_ON صورت می گیرد. ($0.7\text{ V} / 0.2\text{ V}$) از طرف دیگر آفست مثبت باعث تغییر جهت می شود و به طور کامل از اتلاف توان فلوی جریان من فی که با این مدار بررسی شده است جلوگیری نمی کند. در عمل تاخیر میان مقایسه کننده و درایورها یک آفست سیستمی که مناسبتر از آفست مثبت می باشد ایجاد می کند. تاخیر و تاثیر آفست مقایسه کننده تاثیر بر روی بازده دارد بهر حال تاثیر ringing در VPH1 به مقدار dc نزدیک (همگرای می شود) و یک هیستریزس عمدی به مقایسه کننده افزوده می شود که لغزش اشتباه ندرتا روی می دهد.

III. طراحی مداری یکپارچه:

مبدل حالت قبلی طراحی، تولید و با منبع "تقویت کننده توان" (PA) فرکانس رادیویی (RF) در زمینه تطبیق دینامیکی برای کاربردهای بی سیم قابل حمل ارزیابی شد. هنگامی که PA توان کمی را به آنتن انتقال می دهد، مدار منبع در حالت PFM کار می کند و PA را با ولتاژ منبع 500 mV و جریان کم تا 50 mA بایاس می کند. ماکزیمم ولتاژ ریل پیک تا پیک مجاز برابر 30 mV می باشد. فیلتر خروجی منبع که با جریان بار بالای مبدل تنظیم می شود هنگامی که در حالت مدولاسیون پهنای پالس (PWM) کار می کند شامل $1\text{ }\mu\text{H}$ تا $20\text{ }\mu\text{F}$ توان در سلف و ترکیب خازن خروجی می باشد. [14-15].

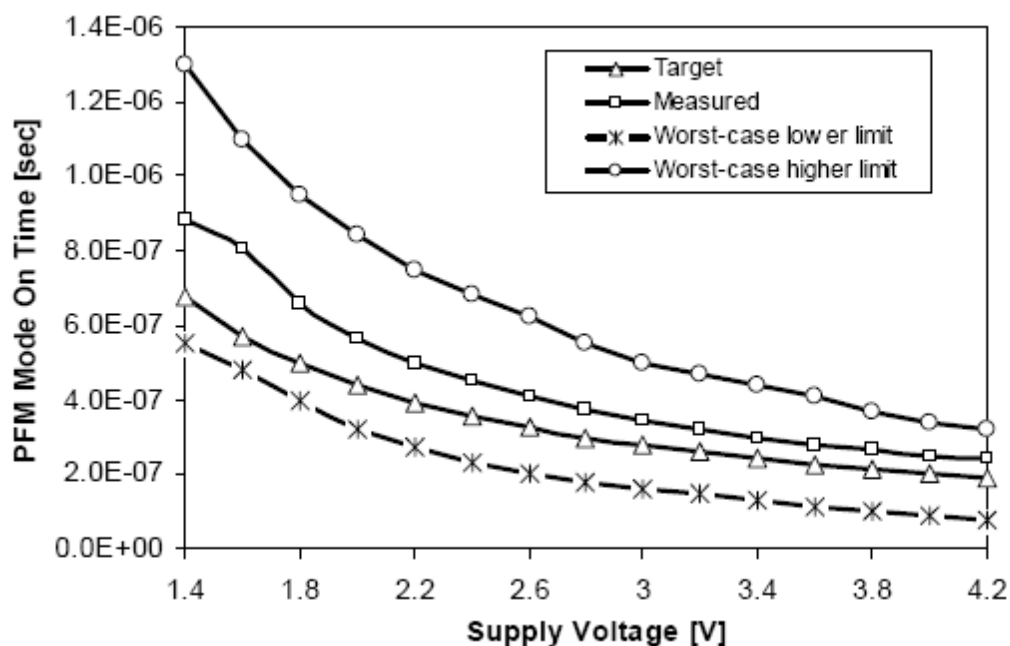
A. مدار تولید زمان روشن تطبیقی

هسته طرح زمان روشن تطبیقی قبلی یک مولد (ژنراتور) سیگنال زمان روشن تطبیقی می باشد. برای وضعیت حقیقی سیلیکون و توان پایین، مدار باید نسبتا ساده باشد و جریان خاموش که از منبع مصرف می کند کمترین مقدار باشد همانطوری که در حالت استراحت سیستم به صورت فعال می باشد. تابع اصلی این مدار، تولید پالس زمان روشن مبدل برای سویچ در پاسخ به ولتاژ زیر مرجع که بر روی خروجی می افتد، می باشد که پهنای آن به صورت خطی وابسته به ولتاژ منبع V_{IN} می باشد. ولتاژ خروجی V_{OUT} دارای تغییرات کمی می باشد. در نتیجه مشاهده می شود که ولتاژ منبع یک NMOS (0.7 V) بر حسب ولتاژ خروجی مبدل (0.5 V) که دقیقا برابر با آن نمی باشد، جریانی را تولید می کند که به صورت معکوس متناسب با $V_{IN} - V_{GS}$ می باشد. در شکل ۵ با بیان $V_{IN} - V_{GS_MN1}$ میان R_{BIAS} و استفاده از جریان (کپی از طریق MN2, MP1, MP2 برای شارژ خازن و به همراه آن با $V_{T_MN5} + V_{DSsat_MN5}$ مقدار آستانه نوع MN5 یک اینورتر، پهنای پالس و زمان روشن مدار را تنظیم می کند. به عنوان نتیجه منبع ولتاژ بالاتر جریان بار بزرگتری را تولید می کند و بنابراین زمان شارژ کمتر و در نتیجه زمان روشن کمتری را منجر می شود.



شکل ۵. مدار زمان روشن تطبیقی برای کنترلر PFM ارائه شده

تغییرات دما و فشار بر روی زمان روشن مدار تاثیر می گذارد. مجموع ریشه مربع در تغییرات پروسه تصادفی شامل مولفه های زیر می باشد. I_{CONST} ($\pm 20\%$) بدترین حالت برای تغییرات زمان روشن را نشان می دهد که اکثر آنها را می توان با R_{BIAS} جبران کرد. تغییرات دما تاثیر بدی بر روی تلوئانس دارد اما می توان با ضریب دما (TC) برای I_{CONST} که گرایش سیستماتیک مدار را حذف می کند یا با استفاده از مقاومتی که کارایی TC مغایر با V_{GS_NMOS} می باشد تاثیر دما را کمتر کرد. برای این طراحی ویژه، R_{BIAS} تنظیم شده و هیچ جبران دمایی اجرا نمی شود. شکل ۶ کارایی زمان روشن اندازه گرفته شده و شبیه سازی شده مدار را تحت ولتاژهای منبع مختلف نشان می دهد که پاسخ اندازه گرفته شده متناظر با R_{BIAS} تنظیم شده می باشد. زمان روشن اندازه گرفته شده کمی بزرگتر از نشان (هدف) آن توسط ۴۰ تا ۲۰۰ ns می باشد اما تغییرات در هردرد صد مشابه و برابر با ۵۰٪ می باشد. انحراف از تغییرات اصلی (هدف) بر مقدار بازدهی می گذارد که تغییرات جریان رپل سلف به حد کافی کوچکتر نشده است اما انحراف اندازه گرفته شده در حدی نمی باشد که نیاز به الارم باشد.



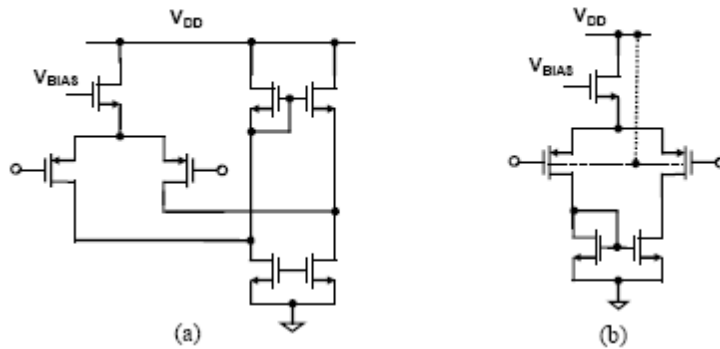
شکل ۶. نتایج اندازه گیری و شبیه سازی کارایی زمان روشن در مدار تطبیقی در منابع ولتاژ

B. طراحی مدار مقایسه گر.

هر دو مقایسه گر فیدبک COMP1 و مقایسه گر تشخیص جریان منفی سلف COMP2 برای ورودی در رنج مد مشترک (ICMR) 50 تا 150 mV طراحی شده است. نسبت گین مقسم مقاومت فیدبکی برای COMP1 در پنج تنظیم شده است بنابراین مرجع آن برابر $100 \text{ mV} (0.5/5 \text{ V})$ می باشد که رنج مورد نیاز برای ICMR برابر 50-150 mV می باشد. COMP2 نقطه صفر ولت (VPH1) را تشخیص می دهد و محدوده رنج ICMR از در حدود صفر 50- تا 50mV می باشد. یک سطح هیستریزیس 2-5 mV به مقایسه گر برای جلوگیری از خطا در هنگامی که VPH1 در نزدیکی صفر می باشد. گین مقایسه گر و تاخیر انتشار ماکزیمم بزرگتر از 60 dB برای حل 1 mV تغییر و کوچکتر از 100 ns با 10 mV سیگنال ورودی برای تنظیم حلقه فیدبک با COMP1 و جلوگیری از جریان سلف از مقادیر منفی بزرگتر با COMP2 که بازده توان PFM مبدل را کاهش می دهد. ماکزیمم ولتاژ آفست خروجی برای مقایسه کننده برابر 10 mV و که برای محدود کردن تاثیر ولتاژ ریبیل خروجی مبدل و در نتیجه دقت کارایی می باشد.

برای طراحی ICMR بالایی، ورودی تفاضلی PMOS انتخاب شد. ولتاژ آستانه موثر ورودی تحت شرایط بایاس افزایش می یابد در نتیجه محدوده پایینتر از 50 mV را با مقدار ظاهری V_{TN} برای 0.75 V و $|V_{TP}|$ برای 0.95 V منجر می شود.

$$ICMR_{LOW} = V_{TN} + V_{DS_DSAT} - |V_{TP}|, \quad (11)$$



شکل ۷. (a) Folded (b) non-folded ورودی تفاضلی PMOS با ترمینالهای بزرگ که به منبع متصل شده برای گسترش محدوده ICMR با تاثیرات بایاس بزرگ

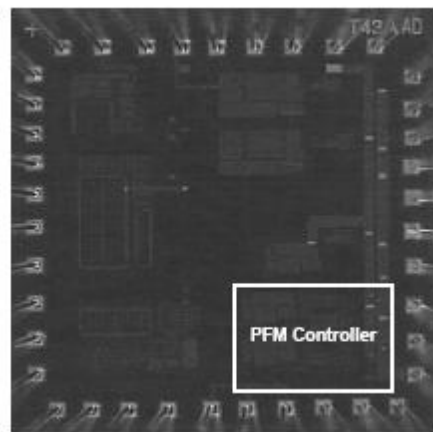
استفاده از ساختار folded-mirror خودداری می شود زیرا به علت جریان خاموشی بالا نیاز به تجهیزات بیشتر، پیچیدگی مدار، تجهیزات تطبیقی ترانزیستور که برای ولتاژ آفست ورودی مهم می باشد

B. سوچ توان و دیگر بلوکهای مداری

حجم وسیله (ابزار) برای ترانزیستورهای توانی که استفاده می شود برای دستیابی به بازده بالا در جریانهای بار بالا تر هنگامی که در مد PWM و ولتاژ ورودی پایین می باشد به بیان دیگر در شرایط د رایو گیت پایین صورت می گیرد. (1.4) V جریان بایاس و ولتاژ برای تمام بلوکهای آنالوگ از مولد جریان تراشه "دمای نسبی - مطلق" (PTAT) و مدارهای مرجع ناحیه شکاف انرژی تامین می شود. به منظور راه حل عملی، جزئیات طراحی این مدارها، مقدار کمی به طرح PFM قبلی اضافه می کند که در قسمت [15] موجود می باشد.

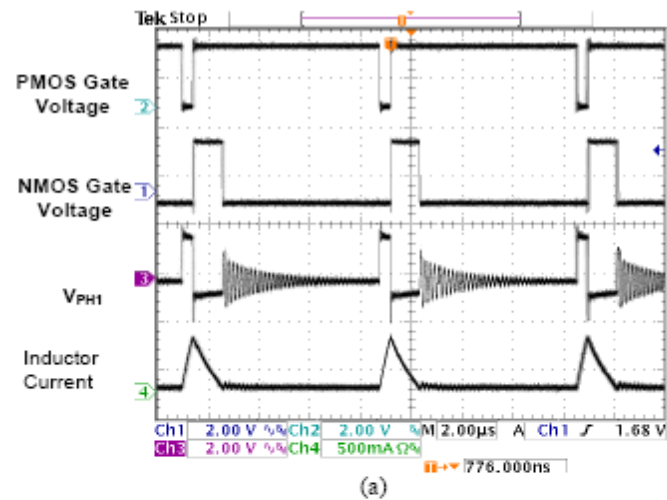
IV نتایج تجربی و بحث:

مدار منبع توانی یکپارچه (کنترلر با سویچ توان در قالب یکسان) برای جریانهای بار تا 100 mA در منبع ولتاژ ورودی پایین اساسی می باشد. تکنولوژی فرآیند که برای منبع سویچ توان مناسب می باشد دارای حفره های (چاه) عمیق n^+ و لایه های n^+ که پوشانده می شوند که به صورت موثر سویچ توان را ایزوله می کند و نویز ایجاد شده را قبل از رسیدن به حساسیت الکترونیک آنالوگ، شنت می کند. ترانزیستور NMOS توان به صورت کامل با ناحیه ایزوله p توسط لایه های عمیق n^+ برای پوشاندن حفره عمیق n^+ یا ساختار "donut" نفوذ n چاه بکار می رود. لایه های پوشانده شده n^+ در پروسه ای که استفاده شد، موجود نمی باشد (پروسه $0.5 \mu m$ CMOS از طریق MOSIS مقدور می باشد) بر خلاف ویفرهای غیر epi لایه های تکنولوژی ویفر epi در محیط هادی نویز با مقاومت صفحه $5 \Omega/\square$ استفاده می شود. به علت اینکه هدف تست طرح PFM ارائه شده می باشد منبع توان سویچ با استفاده از کنترلرهای مجزا و IC های ترانزیستور توان بصورت کنترلرهای متداول تست می شود. شکل 8 قالب نمونه اولیه از IC کنترلر را نشان می دهد.

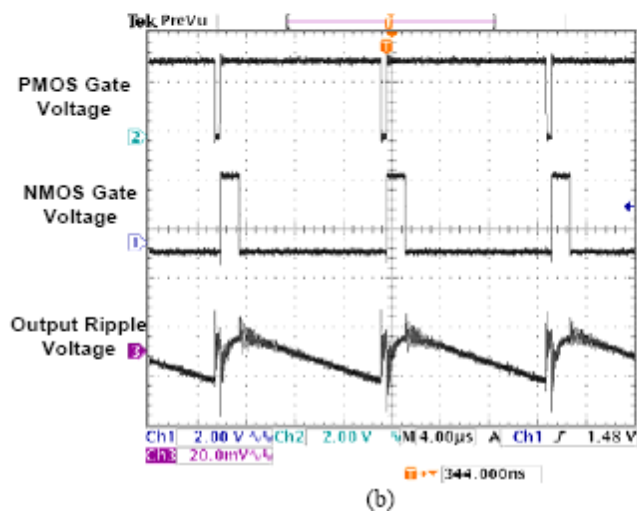


شکل 8 عکسی از قالب IC کنترلر

منبع تغذیه آزمایشی با IC کنترلر PFM در DCM بسیار مهم و اساسی می باشد همانطوری که با درایوهای گیت آزمایشی، گره سویچ، جریان سلف، ولتاژ خروجی رپیل در شکل ۹ نشان داده شده است. خروجی 0.5 V از منبع ولتاژ ورودی 3.2 V حاصل می شود که ولتاژ رپیل با پیک تا پیک 22-27 mV تولید می کند. تغییرات پیک تا پیک ولتاژ رپیل خروجی که از تغییر ورودی حاصل می شود برابر با مقدار 5 mV بود که نقطه مقابل زمان روشن ثابت برابر 45 mV (10-55 mV) بود که با توجه به شکل ۱۰ یکی از ویژگیهای این طراحی می باشد. به عنوان یک نکته جانبی، زمان روشن در مدار نمونه اولیه از 230 تا 850 ns تغییر می کند در صورتی که زمان روشن ثابت در مدار برابر 530 ns نگه داشته می شود. که ولتاژ رپیل خروجی بالاتر تحت کنترل PFM ولتاژ متوسط خروجی مبدل را افزایش می دهد زیرا کنترل آن ثابت و بر اساس محدوده پایینی از رپیل می باشد. به عنوان نتیجه تغییرات رپیل بالاتر هنگامی که با مدار تطبیقی قبلی مقایسه می شود دقت خروجی کاهش می یابد که دقت نمونه اولیه برابر 0.6% در صورتی که نقطه مقابل برای زمان روشن ثابت برابر 3.6% می باشد. همانطوری که در شکل ۱۱ نشان داده شد.



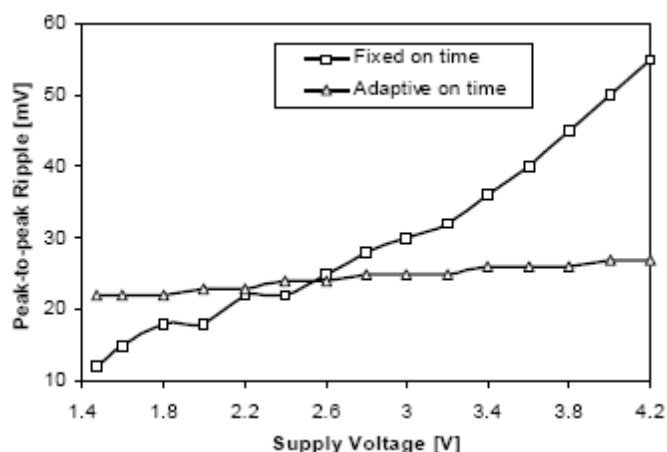
(a)



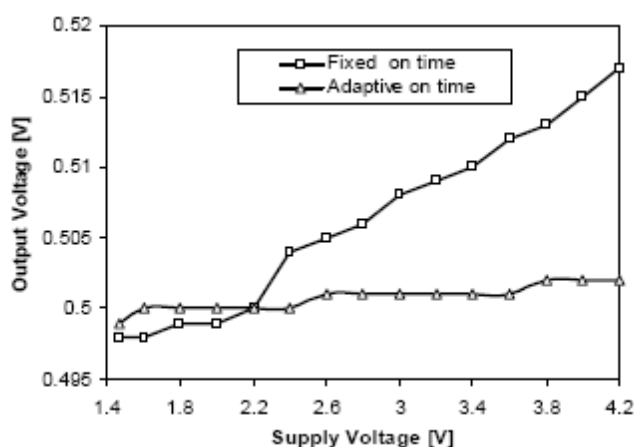
(b)

شکل ۹. مقادیر آزمایشی برای (a) درایو گیت، گره سوئیچ، جریان سلف و (b) موج ولتاژ رپل خروجی مبدل PFM در DCM

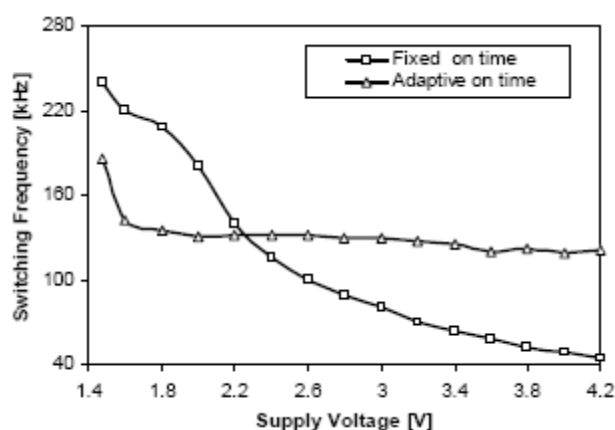
از آنجائیکه با افزایش ولتاژ منبع، پیک جریان سلف و در نتیجه بار و انرژی که در هر چرخه به خازن خروجی در طرح کنترل زمان روشن تحویل داده می شود افزایش می یابد و خازن خروجی به زمان بیشتری برای دشارژ محدوده آستانه پایین نیاز دارد در نتیجه فرکانس سوئیچ پایین همانطور ی که در شکل ۱۲ مشاهده می کنید حاصل می شود. از طرف دیگر انرژی که به خازن خروجی در این طرح انتقال می یابد به صورت ثابت باقی می ماند که تغییرات کمی در فرکانس سوئیچ در رنج ولتاژ ورودی صورت می گیرد. هر چند مدار PFM برای مدار مبدل buck-boost بکار می رود که دارای یک سوئیچ گیت انتقال سری با سلف توان می باشد که مقدار هدایت موثر سوئیچ اضافی تاثیر معکوس بر روی بازده و فرکانس دارد. هنگامی که ولتاژ منبع ورودی تا کمتر از 1.5 V کاهش می یابد ولتاژ خروجی در 0.5 V تنظیم می شود که سوئیچ PMOS مسدود شده و مقدار درایو گیت ترانزیستور NMOS کم (ندرتا بالای آستانه) می باشد دیود بدنه PMOS را به هدایت کامل جریان سلف وادار میکند. ولتاژ سوئیچ باعث اتلاف توان بیشتری می شود که مدار باید اتلاف انرژی را با سوئیچ بیشتر (فرکانس سوئیچ بالاتر) جبران کند.



شکل ۱۰. نتایج آزمایشی پیک تا پیک ولتاژ رپل خروجی برای نمونه زمان روشن تطبیقی و ثابت



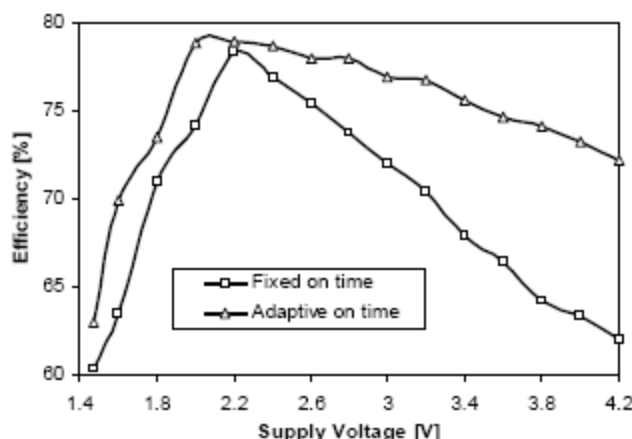
شکل ۱۱. نتایج آزمایشی ولتاژ متوسط خروجی در مبدل PFM برای کنترل زمان روشن تطبیقی و ثابت



شکل ۱۲. مقدار فرکانس سوئیچ مبدل برای کنترل زمان روشن تطبیقی و ثابت

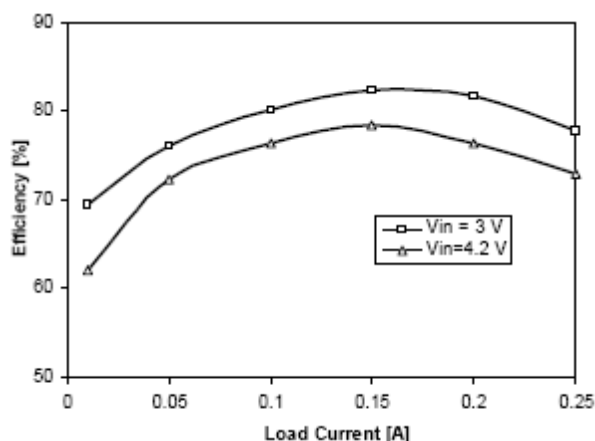
کارایی بازده توان در طرح زمان روشن تطبیقی در DCM 2 تا 10% بیشتر از نقطه مقابل در زمان روشن ثابت می همانطوری که در شکل ۱۳ مشاهده می کنید می باشد. در مدار با جریان روشن ثابت جریانهای رپل بزرگتری در منابع ولتاژ بالا (اتلاف هدایت بیشتر) و فرکانسهای سوئیچ بالاتر در منابع ولتاژ پایین (اتلاف سوئیچ بیشتر) صورت می گیرد. در حالت کلی بازده توان

در این طرح، در منبع ولتاژ بالا کاهش می یابد به علت شارژ و دشارژ گیت ترانزیستورهای توان و مدارهای درایو گیت اتلاف سوئیچ بالا روی می دهد.



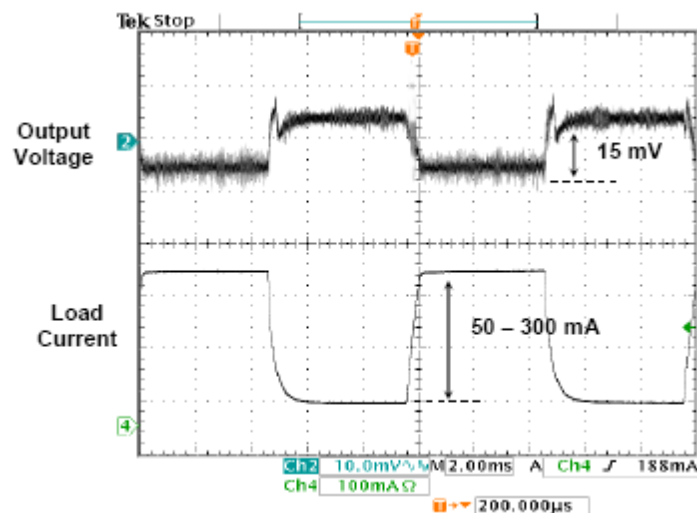
شکل ۱۳. بازده مبدل تحت کنترل زمان روشن تطبیقی و ثابت با بار 50 mA

بعلاوه با کاهش ولتاژ منبع ورودی، دیود بدنه ترانزیستورهای PMOS هدایت کرده و کارایی بازده کاهش می یابد. با توجه به افزایش جریانهای بار، زیرا انرژی بیشتری در هر قسمت زمانی توسط بار مورد نیاز می باشد، فرکانس سوئیچ تحت شرایط جریان بارهای سنگین افزایش می یابد که نهایتاً منجر به اتلاف هدایت و سوئیچ بیشتر همانطوری که در حالت PFM انتظار می رفت، می شود (شکل ۱۴).



شکل ۱۴. بازده توان در مبدل PFM با توجه به جریان بار در دو منبع ولتاژ ورودی

این افزایش فرکانس باعث کاهش ولتاژ ریپل خروجی می شود. زیرا بار در هر چرخه به خازن خروجی تحویل داده می شود کمتر می باشد. در شرایط بارگیری بسیار سبک، جریان خاموش (سیگنال به مدار اعمال نشده) و اتلاف توان سوئیچ بر هر اتلاف هدایت غلبه می کند. همانطوری که قبلاً اشاره شد (شکل ۱۳) ولتاژ ورودی بالا، اتلاف سوئیچ بالاتر را سبب می شود. شکل ۱۵ پاسخ بار را در مبدل حالت PFM قبلی نشان می دهد که پاسخ آن به جریان بار خاموش تغییر می کند. با افزایش بار از 50 mA تا 300 mA ولتاژ متوسط خروجی برابر 15 mV از ولتاژ خروجی ظاهری 500 mV می گردد. قابلیت مدار برای ایجاد و نزدیک شدن (همگرا شدن) به مقدار حالت ثابت پس از



شکل ۱۵. نتایج آزمایشی پاسخ گذرا در مبدل PFM زمان روشن تطبیقی

قابلیت مدار برای ایجاد و نزدیک شدن (همگرا شدن) به مقدار حالت ثابت پس از بار گذار، پایداری حلقه فیدبک مدار را شان می دهد. کاربردهایی که برای این مبدل طراحی شده است برای بدترین حالت افزودن بار منفی در حالت $400 \mu s, PFM$ می باشد و همانطوری که در شکل نشان داده شده است مدار به تغییرات بار با ایجاد زمان که متناسب با فاز 45° می باشد. نتایج آزمایشی مبدل با مقدار طراحی هدف و نتایج شبیه سازی تراشه در جدول I مقایسه شده است. مقدار پیک تا پیک ولتاژ رپل خروجی اندازه گرفته شده و شبیه سازی شده و حالت ثابت همسان (سازگار) می باشند. تغییرات زمان روشن بزرگتر در رنج منبع ولتاژ و آفست ورودی تصادفی در مقایسه کننده فیدبک برای اختلافات کم محاسبه می شود. بازده اندازه گرفته شده کمتر از مقدار شبیه سازی شده می باشد زیرا اتلاف توان هدایت با مقاومت پارازیتی در شبیه سازی اعمال نشده است. مدلها سوییچ توان اکثرا دقیق نمی باشند و به منبع پارازیتی، گیت، مقاومت درین و گیت سورس، گیت درین، کاپاسیتانس گیت که تمامی آنها به طرح بندی و ساختار فیزیکی سه بعدی وابسته می باشد درک این عوامل پارازیتی منجر به اتلاف توان سوییچ و هدایت کمتری و نتایج شبیه سازی خوش بینانه تری می شود. ارتباط میان نتایج شبیه سازی و آزمایش با قراردادن عوامل پارازیتی در چیدمان مدار در شبیه سازی، به یکدیگرنزدیکتر می گردد. اما نهایتا مشخصه ها و مدل های مخصوص طراحی نیاز به نتایج دقیقتر دارند. مینیمم مقدار ولتاژ ورودی در مبدل $1.4 V$ توسط ولتاژ آستانه PMOS و دو ولتاژ اشباع درین سورس می باشد.

جدول ۱. خلاصه ای از نتایج شبیه سازی و آزمایش در کنترلر PFM

Specification	Unit	Target	Sim.	Exp.
$V_{IN} = 1.4 V$				
Output voltage	V	0.5	0.508	0.499
Peak-to-peak ripple	mV	≤ 30	20	22
Efficiency (50 mA)	%	≥ 65	69	63
$V_{IN} = 3.0 V$				
Output voltage	V	0.5	0.508	0.501
Peak-to-peak ripple	mV	≤ 30	22	25
Efficiency (50 mA)	%	≥ 80	83.56	76
$V_{IN} = 4.2 V$				
Output voltage	V	0.5	0.508	0.502
Peak-to-peak ripple	mV	≤ 30	25	27
Efficiency (50 mA)	%	≥ 80	81.52	72.255

امروزه در بسیاری از تکنولوژی ها از ابزار PMOS با ولتاژ آستانه 0.5-0.6 V استفاده می شود که هنگام استفاده در مدار قبلی مینیمم مقدار محدوده ورودی نزدیک به مقدار 1 V می باشد. با اینحال، ترکیبی از کارایی طرح زمان روشن تطبیقی با مبدل های زمان روشن ثابت بصورت همزمان، بازده توان را افزایش می دهد .

V. نتیجه گیری:

طرح کنترلی "مدولاسیون فرکانس - پالس" (PFM) زمان روشن تطبیقی جدید، برای مبدل های dc-dc ارائه، طراحی و ساخته و به صورت آزمایشی با نمونه اولیه IC از تکنولوژی CMOS نوع 0.5 μm MOSIS بررسی شده است. از مشخصه های اصلی این طراحی می توان به دقت بالا، سادگی و بازده توان بالا اشاره کرد. نمونه اولیه مدار منبع PFM با 0.5 V, 50 mA تغییرات ولتاژ رپیل خروجی 5 mV (22-27 mV) در ولتاژ منبع ورودی در رنج 1.4-4.2 V و دقت حالت ثابت 0.6% که در زمان روشن ثابت در نقطه مقابل برابر 45 mV (10-55 mV) و دقت 3.6% می باشد. IC ارائه شده بازده 83% را که 2 تا 10% بیشتر از بازده در زمان ثابت در رنج کامل منبع ورودی می باشد. این دقت و بازده بالا در کاربردهای مختلفی مانند موبایل، ابزارهای قابل حمل، فروشگاه های توان باتری که برای طول عمر باتری و گرایش بالا برای ابزارهای قابل حمل در حالت استراحت (حالت سکون) ضروری می باشد.