

به نام خدا

اثر مواد *High-K* بر روی ماسفت ها

گردآوری

حسین حمیدی پور

کلمات کلیدی

مواد *High-k* ، *MOSFET*

چکیده

در این تحقیق ابتدا به بررسی مواد *high-k* و انواع آن پرداخته و سپس به کاربردهای این مواد اشاره می گردد . در ادامه به مهمترین کاربرد این مواد یعنی استفاده آنها بجای عایق دی الکتریک گیت در ماسفتها اشاره شده و مزایا و معایب این کاربرد و اثرات آن روی جریان نشستی گیت کانال بیان می گردد. همچنین اثرات مختلف مثل دما و لایه های میانی بوجود آمده در بین دی الکتریکها در روی ماسفت ها بررسی می گردد.



۱. مقدمه

۱-۱. آشنایی با مواد $High - k$

یک سری مواد هستند که خاصیت عایقی خوبی دارند و می توانند خازن خوبی بین گیت و کانال ایجاد کنند، که هر دو این خاصیت ها برای یک TR مثل $MOSTET$ ، مطلوب می باشد. و مواد $High - k$ به این دلیل ساخته شدند که از جریان نشتی داخل TR ها (جریان نشتی بین گیت و کانال) که باعث عدم بازدهی بالای TR ها می شدند، جلوگیری کرده و می توانند جریان الکتریکی را در این ابعاد بسیار کوچک مهار کنند.

۱-۲. ثابت دی الکتریک k

K از لغت یونانی کاما گرفته شده و قابلیت یک ماده برای نگهداشتن بار الکتریکی می باشد که بعضی از مواد بهتر از بعضی مواد دیگر می توانند بار را ذخیره کنند، از این رو K بزرگتری دارند. برای یک مثال عینی، یک اسفنج بهتر از یک تله چوب می تواند در خود آب را نگهدارد. و مواد $High - k$ می توانند ضخیم تر از اکسید سیلکون باشند.

ϵ : قابلیت گذردهی خلاء ϵ_r : قابلیت گذردهی نسبی ماده

ϵ : قابلیت گذردهی ماده

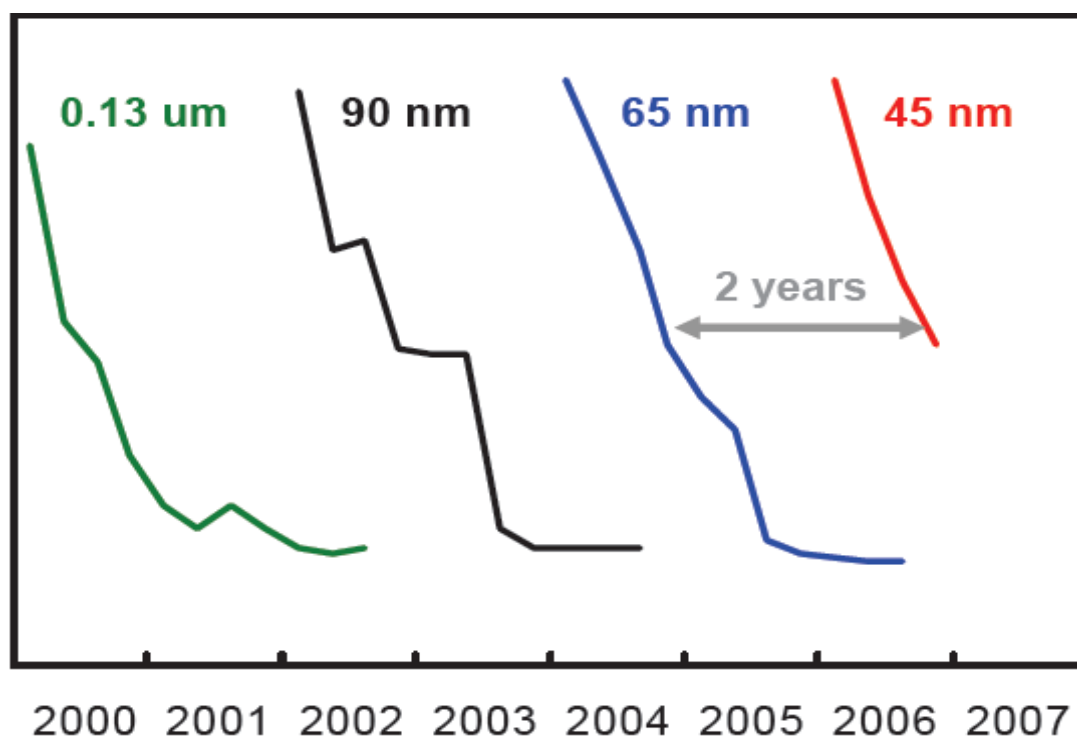
$$K = \epsilon_r = \epsilon / \epsilon_0$$

۱-۳. روند رشد تکنولوژی

در سالهای حدود ۲۰۰۲ تا ۲۰۰۵، تکنولوژی ۶۵ نانومتر و ۹۰ نانومتر وجود داشته که در آن ها ضخامت لایه اکسید ۱۰۲ نانومتر می باشد که معادل ۵ اتم Si است. که در این تکنولوژی ها کوچک کردن ضخامت گیت مشکل ساز نبود.

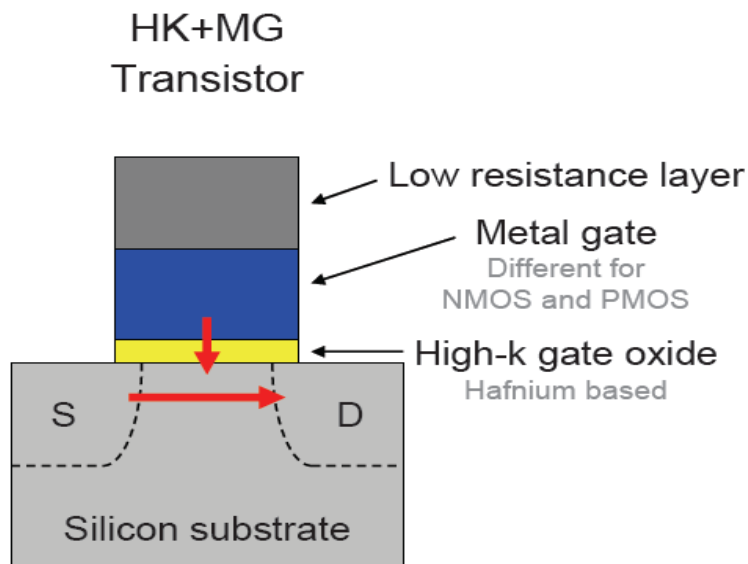
ولی در تکنولوژی ۴۵ نانومتر که در ۲ سال اخیر بوجود آمده است، کوچک کردن ضخامت اکسید گیت مشکل افزایش جریان نشتی از گیت به کانال را در پی دارد. که از مواد $High - k$ استفاده می شود. و مشکل دوم این است که الکتروود گیت در کنترل جریان کانال نقش به سزایی دارد. اگر الکتروود یک گیت پلی استری مثل پلی سیلیکون باشد، بین ناحیه الکتروود گیت با دی الکتریک، یک ناحیه تهی بوجود می

آید. که در تکنولوژی ۴۵ نانومتر این ناحیه تهی در مقایسه با ضخامت الکتروود ، اینقدر بزرگ می شود که عملاً گیت را در کنترل جریان کانال محدود می سازد ، و بنابراین از گیت فلزی یا *Metal gate* به جای الکتروود پلی استری استفاده می شود.



۴-۱. مزایای تکنولوژی 45nm بر 65nm

- ۱- بهبود چگالی ترانزیستورها (افزایش تعداد ترانزیستور در تراشه - کوچک کردن تراشه ها) ← ~ ۲ برابر
- ۲- کاهش توان سوئیچینگ ترانزیستور ← ~ ۳۰ درصد
- ۳- بهبود در سرعت سوئیچینگ ترانزیستورها ← < ۲۰ درصد
- ۴- کاهش توان نشتی درین- سورس ← < ۵ برابر
- ۵- کاهش توان نشتی گیت ← < ۱۰ برابر



نمایی از یک *MOSFET* در تکنولوژی ۴۵ نانو متر

۲. بررسی اثرات دی الکتریک *High-k* و گیت فلزی

۱-۲. اثرات دی الکتریک *high-k*

- افزایش اثرات میدان الکتریکی گیت
- کاهش جریان نشتی گیت با افزایش ضخامت

۲-۲. اثرات گیت فلزی

- افزایش اثرات میدان الکتریکی گیت

۳-۲. اثرات دی الکتریک *high-k* و گیت فلزی با هم :

- افزایش جریان راه اندازی بیش از ۲۰ درصد (افزایش ۲۰ در صدی عملکرد ترانزیستور)
- کاهش جریان نشتی درین- سورس
- کاهش نشتی اکسید گیت

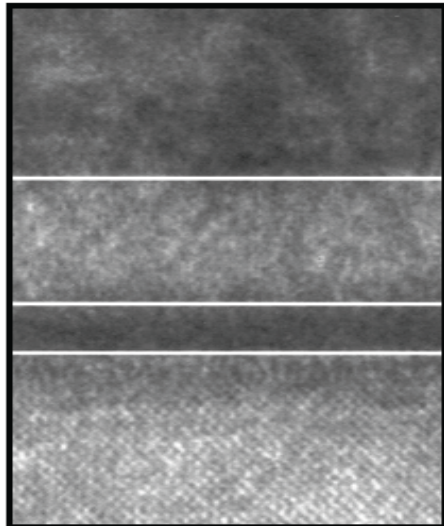
۴-۲. اثرات ترانزیستورهای *CMOS* با دی الکتریک *High-K* و گیت فلزی

۱- عملکرد بالا

۲- نشتی پایین

۳- قابلیت اطمینان بالا

۴- ساخت در ابعاد بالا



Low Resistance Layer

Work Function Metal
Different for NMOS and PMOS

High-k Dielectric
Hafnium based

Silicon Substrate

نمای لایه های دی الکتریک و گیت فلزی و لایه با مقاومت کم بر زیر لایه سیلیسیم

۲-۵. بطور کلی مواد $High - k$ را می توان به ۴ گروه تقسیم بندی کرد

۲-۵-۱. گروه اول

شامل Al_2O_3 , Si_3N_4 می شود. این ۲ دی الکتریک در مقایسه با دی الکتریکهای دیگر ، کمترین k را دارند، که روی آنها مطالعات زیادی شده است و می توانند در پردازشهای $CMOS$ به کار گرفته شوند. بعضی ها این دو دی الکتریک را به عنوان یک SiO_2 عالی می دانند و دارای غشاء نازک با ضخامت 15\AA و از جنس نیترات بوده که دی الکتریک را به خوبی کنترل می کنند و بنابراین استفاده از این گروه دی الکتریک سخت می باشد.

۲-۵-۲. گروه دوم

شامل $BasrTiO_3$, TiO_2 , Ta_2O_5 می باشند. که این گروه دارای بیشترین k در میان مواد $High - k$ هستند. در مطالعات ترمودینامیکی مشخص شده است که عناصر Ti , Ta بطور

دینامیکی روی سیلیسیم پایدار نیستند و تشکیل یک لایه میانی می دهند. این لایه میانی **EOT** را که بعداً توضیح داده خواهد شد درجه بندی می کند. سس بطور کلی عکس العمل این دو ماده با پلی سیلیکون یا الکتروگیت فلزی ، یک نگرانی بزرگ محسوب می گردد.

۲-۵-۳. گروه سوم

شامل انواع دیگر از اکسیدهای بافری از قبیل **Zro2 , Hfo2 , La2o3** هستند که از لحاظ ترمودینامیکی روی **Si** پایدار هستند که در آنها پراکندگی ناشی از عمل دیفلوژن اکسیژن در ماده باعث ایجاد لایه های میانی در اکسید می گردد.

۲-۵-۴. گروه چهارم

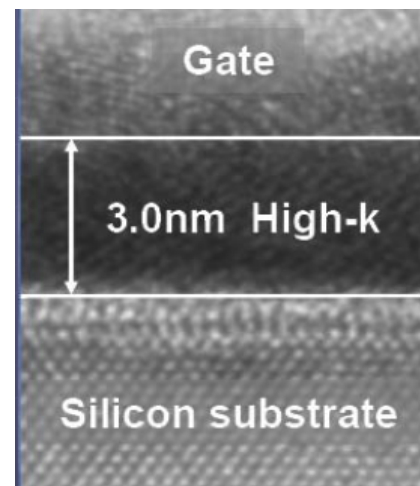
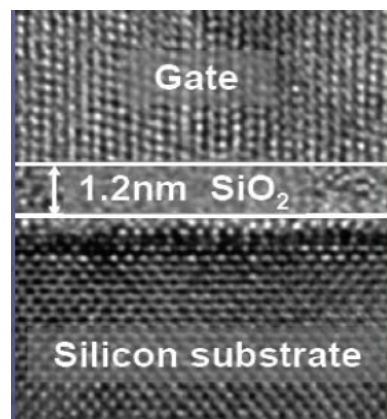
کلاً گروه سیلیسیم هستند که شامل **SrTao6 , Zrsioxoy , Hfsioxoy** یا **Zrsio4** هستند. این اکسیدهای چند قسمته با زیر لایه سیلیکون پایدار ، سازگار هستند. هیچ کدام از عناصر ۴ گانه بالا نیستند که به عنوان یک نامزد برای پردازشها نیاز باشند. تحقیقات زیادی روی مواد رشد یافته **High - k** انجام پذیرفته است.

Gate Dielectric	E_g (eV)	K
SiO_2	9	3.9
Si_3N_4	5	7.5
Al_2O_3	8.7	8.5-10.5
Ta_2O_5	4-4.5	20-35
TiO_2	3-3.5	30-100
BaSrTiO_3	*	200-300
La_2O_3	*	27
Y_2O_3	5.6	15
CeO_2	5.5	26
HfO_2	5.7	25
ZrO_2	5.8	25
HfSi_xO_y	6	15-25
ZrSi_xO_y	6	15-25
SrZrO_3	5.4	30
SrHfO_3	*	28
Sr_2TiO_4	5.2	50
LaAlO_3	5.7	25

جدول نشان دهنده انواع مواد *high-k*

۲-۶. مزایای مواد *High-k* نسبت به *SiO2*

	<i>SiO2</i>	<i>High-k</i>
Capacitance	1*	1.6*
Leakage	1*	< 0.01*



نمای دو ترانزیستور یکی با دی الکتریک *SiO2* و دیگری با دی الکتریک *high-k*

۳. رشد مواد *high-k*

از فرسایش لیزر و همچنین رزونانس سیلکوترون الکترون و ... استفاده شده تا مواد *High - k* را رشد دهند.

MBE یا رونشتی پرتو مولکولی و ته نشینی لایه اتمی (*ALD*) بطور دقیق رشد دی الکتریک ها را کنترل می کنند.

یک گزارش که از اکسیداسیون حرارتی بی شکل *La* که شکل می گیرد لایه دی الکتریک *La2O3*، نتیجه می دهد، لایه خازنی که $33A^0$ ضخامت دارد، با $4.8A^0 EOT$ ، مقدار $K = 27$ ، و در ولتاژ یک ولت، $0.06A/cm^2$ جریان نشتی کم دارد. روش اکسیداسیون حرارتی ای که اینجا مورد استفاده قرار گرفته مشابه با *Sio2* حرارتی رشد یافته در مقایسه با *CVD* می باشد. لایه های بافر معمولاً بین *Si* و دی الکتریک *High - k* قرار می گیرند که آنها فشار را کاهش داده و پخشی داخلی بین *Si* و دی الکتریک *High - k* را خنثی (متوقف) می کنند. مطالعات خیلی کم هستند که نشان می دهند چگونه دی الکتریک *High - k* رشد یافته می توانند، در کیفیت لایه های میانی بین سیلیکون و دی الکتریک *High - k* مؤثر باشند. یکی از مزیت های استفاده از اکسیداسیون برای دی الکتریک گیت مطابقت زیاد (نزدیک) با زیر لایه سیلیکون می باشد. بدون یک کیفیت بالای درونی، حالت های میانی، (واسط) و حالت های بدنه میانی مشابه می توانند به عنوان حامل های اقلیت به تله افتاده باشند که برای عملکرد ادوات *MOS* زیان بخش هستند.

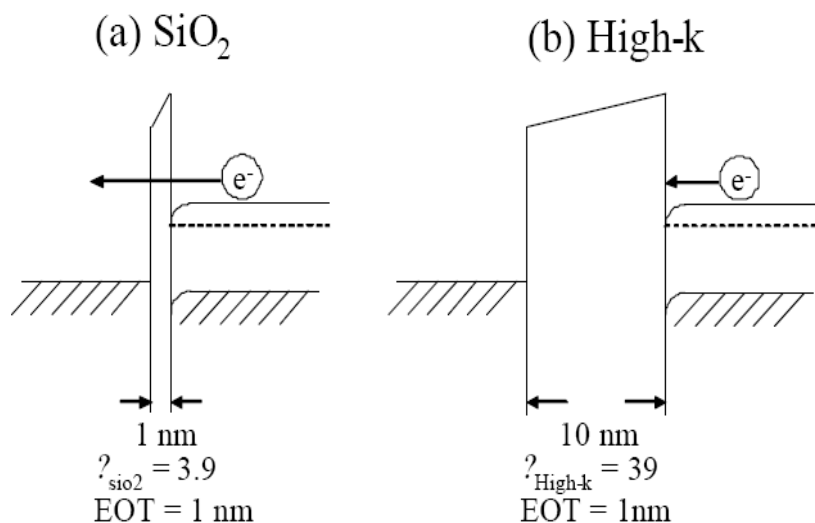
CVD یا *Metal organic CVD , Chemical vapor depositiona* هنوز بطور معمولی در بعضی مواد استفاده می شوند.

۴. بررسی خصوصیات مواد *High-k*

۴-۱. جریان نشتی

جریانی که از میان دی الکتریک گیت جاری می شود. در یک راه حل ایده آل دی الکتریک گیت به عنوان یک عایق کامل عمل می کند. ولی هنگامی که ضخامت نازکتر است، (در حدود ۵ لایه

اتمی در تکنولوژی ۹۰ نانومتر (ضخامت هر لایه اتمی ۰.۲۴ نانومتر است.) جریان از درون آن نشت می کند. **TR** آن طور که باید رفتار نمی کند و توانی بیشتر از آن که باید مصرف می کند.



اثر ضخامت دی الکتریک **high-k** و پدیده تونل زنی

تکنولوژی نیمه هادی اکسید فلزی تکمیلی (**CMOS**) در تمام میکرو پروسسورها و تراشه های منطقی به خاطر توانایی اجرای عملکرد بالا در توان کم در هزینه کم را دارد.

۴-۲. ولتاژ تریشولد (V_t)

سطح ولتاژ بین بالا و پائین که تشخیص داده می شود که ترانزیستور **on** است یا **off**. در یک **CMOS** اگر ولتاژ گشتی بیشتر از V_t باشد ، **on** و گر نه **off** است. ترانزیستورها طوری طراحی می شوند که V_t پائین دارند. که این منجر به عملکرد بالا می شود.

۵. ترکیب دی الکتریک گیت **high-k** با دی الکتریک گیت پلی سیلیکون

وقتی که دی الکتریک گیت **High - k** با دی الکتریک گیت پلی سیلیکون ترکیب می شود، ۲ تا اثر نامطلوب دارد:

۵-۱. V_t Pinning یا **Fermi Level pin.**

به خاطر بعضی اثرات که در دی الکتریک گیت افزایش می یابد ، (در موزالکتریک گیت) ، سخت می شود که V_t را با یک مقدار کم که برای عملکرد بالا ، نیاز شده است ، تنظیم کرد. این به

موقعی بر می گردد که الکتروگیت یک فلز مخصوص نسبت به پلی سیلیکون باشد، انتخاب فلز برای $PMOS, NMOS$ سخت است. در این حالت V_t قفل شده و دیگر قابل تنظیم نمی باشد یعنی نمی توان با افزایش V_t ، جریان نشتی را کاهش داد.

۵-۲. پراکندگی فونون:

ابتدا به تعریف فونون می پردازیم: بعضی از الکترونها یک انرژی از خود ظاهر می کنند (مدهای جمعی کوانتیزه شده) و بعضی دیگر این انرژی را جذب می کنند، که به آن فونون گویند، که این انرژی باعث کاهش سرعت آنها یا کاهش موبیلیتی آنها می گردد، پس در واقع پراکندگی فونونها باعث کاهش موبیلیتی می گردد. و واحد فونون KBT می باشد.

کوچک کردن ترانزیستورها که پیامد آن کوچک کردن طول کانال برای (۱) کاهش زمان عبور کریرها از درین تاسورس (۲) کاهش ضخامت اکسیدگیت می باشد.

طول گیت در سال ۹۹-۱۹۹۸، ۲۵۰ نانومتر در سال ۲۰۰۱، ۱۸۰ نانومتر در سال ۲۰۰۴، ۱۳۰ نانومتر و در سال ۲۰۰۷، به ۱۰۰ نانومتر رسیده است.

کاهش طول کانال معادل است با زمان جابجایی حاملها بین سورس و درین کاهش ضخامت اکسید گیت معادل است با بالا رفتن ظرفیت الکتریکی و ولتاژ تریشولد (V_t).

۶. دو خاصیت مهم و ذاتی برای اکسیدهای نازک

- جریان تونل زنی مستقیم

- شکست ملایم (شکست نازک)

جریان تونل زنی یک محدودیت بزرگی روی ضخامت اکسید مطرح می کند. کاهش ضخامت گیت باعث یا همان فشار اکسیدگیت به پلاسما آسیب می زند. وقتی که ضخامت از یک حدی کاهش می یابد، یک جریان تونل زنی در گیت حاصل می گردد.

یک سری نقص هایی در گیت وجود دارد که بارها در این نقص های کم به دام افتاده اند که توسط میدان الکتریکی بالاتر در اکسید گیت، جاروب می شوند.

بیشتر آسیب پلاسما در ضخامت اکسید ۲ نانومتر اتفاق افتاده است. شکست نرم نه ولتاژ ناگهانی و نه جریان ناگهانی دارد. فقط یک نونیر در فلاش که می تواند مضر باشد، می تواند مورد استفاده قرار گیرد.

نازک شدن گیت تا حد $15A^0$ و اخیراً $13A^0$ رسیده است که نتایج آن نشتی تونل زنی گیت دینامیک، تلفات بار لایه معکوس، کاهش موبیلیتی حاملها و وابستگی دمایی همه این متغیرها می باشد.

مواد $High - k$ می توانند جایگزین $Sio2$ شوند که باید اولاً تمام شرایط مربوط به $Sio2$ را داشته باشند. و دوماً نباید هیچ نوع اثرات ولتاژ ظرفیت داشته باشند.

کاهش در ضخامت اکسید $Sio2$ باعث افزایش ظرفیت خازنی می شود. ولی جریان نشتی گیت به علت تونل زنی بیشتر می گردد و مواد $High - k$ علاوه بر افزایش ظرفیت خازنی نسبت به $Sio2$ ، جریان نشتی کمتری دارند.

مواد $High - k$ علاوه بر K بالا، یک مقاومت ویژه بالایی دارند که می توانند برای یک باند الکترونی خوب استفاده شوند. بطور کلی مواد $High - k$ برای خازن ها (ذخیره بار در حافظه ها) و کاربردهای گیت استفاده می شوند.

۷. محدودیتهای $Sio2$ به عنوان یک دی الکتریک

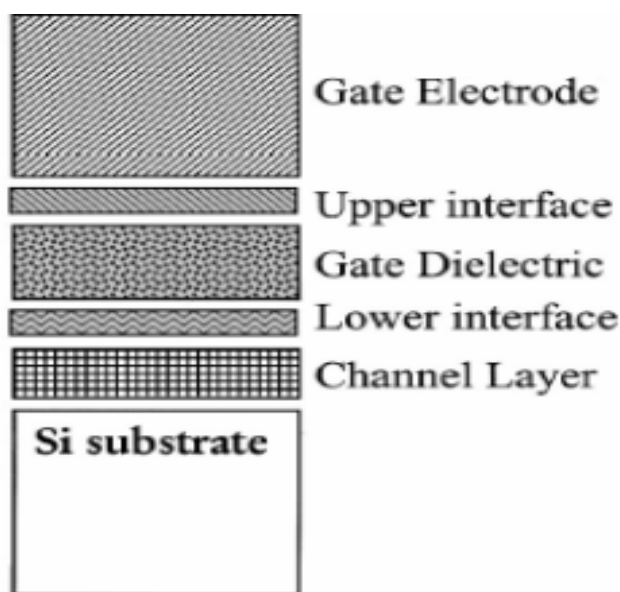
$Sio2$ به عنوان ماده دی الکتریک برای کاربردهای میکروالکترونیک، که براساس Si بنا نهاده شده اند، بکار می روند. (البته در ۳ دهه گذشته). که خواص خوبی مثل مقاومت ویژه بالا تقریباً $10^{18} \Omega cm$ و یک شکاف انرژی در حدود ۹ الکترون ولت دارد.

۸. اثرات لایه های میانی

لایه های میانی ایجاد شده بین دی الکتری گیت $High - k$ و الکتروود فلزی گیت (گیت فلزی) می باشد، که این لایه ها کاربرد یک ماده $High - k$ برای یک جای معین را تعیین می کند. این لایه ها یا بطور عمدی وارد می شوند و یا بطور خود به خود بوجود می آیند. که بطور عمدی به دلیل ۱- اثر ناپذیری سطح ۲- جلوگیری از پخشی ۲- افزایش چسبندگی می باشد و

همچنین لایه های میانی که خود به خود ایجاد می شوند^۳ عیب دارند،^۱ - برای ادوات زیان بارند.^۲ ظرفیت غشاء $High - k$ را کاهش دهند.

لایه های میانی تشکیل شده روی یک زیر لایه از جنس سیلیکون ، گرایش دارند که یا SiO_2 شوند و یا مخلوطی از ماده $High - k$ و SiO_2 گردند. خود این لایه های میانی یک ظرفیت خازنی دارند که چون با ماده $High - k$ که خود نیز یک ظرفیت خازنی دارد ، سدی می گردند ، باعث کاهش ظرفیت خازنی کل می گردد که این یک عیب لایه های میانی یا $Interfacial Layer$ می باشد.



نمایی از تشکیل لایه های میانی در بین دی الکتریک گیت

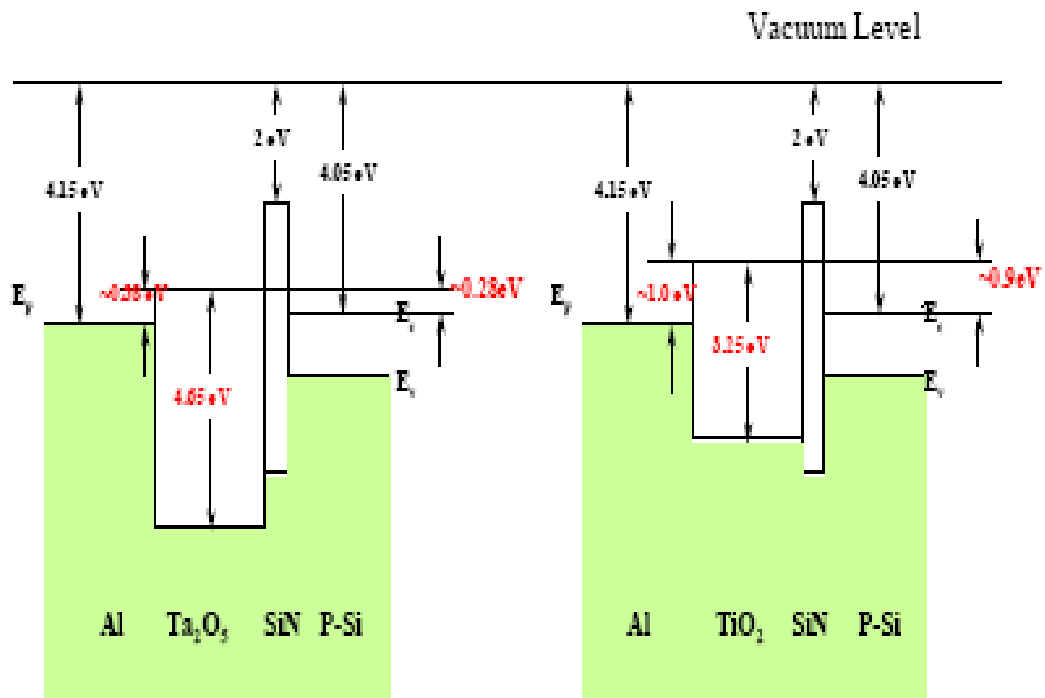
۹. EOT

ضخامت SiO_2 با $k = 3.9$ که معادل با ظرفیت ماده $High - k$ می باشد. پس بطور کلی دی الکتریک گیت $High - k$ باعث کاهش نشتی از گیت به کانال شده و گیت فلزی باعث کاهش جریان نشتی کانال می گردد. (از سورس به درین).

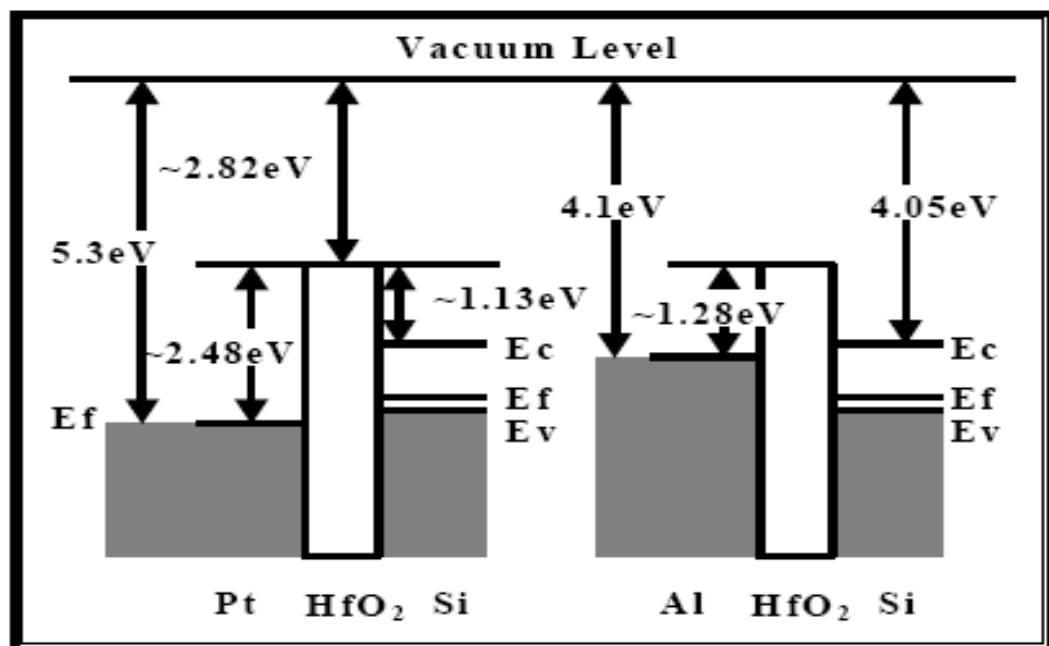
$$EOT = \frac{k(SiO_2)}{k(high\ k)} \times d(high\ k) + d(SiO_2)$$

۱۰. اثر شکاف انرژی یا E_g

همان طوری که گفتیم هر ماده $k - High$ دارای یک شکاف انرژی یا E_g است که هر چه این E_g کاهش یابد ، ارتفاع سد پتانسیل افزایش یافته و باعث کاهش تونل زنی الکترونها از گیت به کانال و کاهش نشتی می گردد. در مورد گیت فلزی نیز گیت های فلزی مختلفی داریم که هر کدام دارای یک شکاف انرژی یا همان E_g می باشند. که هر چه این E_g بزرگتر باشد. ارتفاع سد پتانسیل افزایش یافته و تونل زنی کمتر می گردد و بنابراین جریان نشتی کاهش می یابد. پس موادی که به عنوان الکتروگیت قرار می گیرند بایستی E_g کم داشته باشند، تا اینکه جریان نشتی گیت در هر دو حالت کمتر گردد



تاثیر شکاف انرژی دی الکتریک $high-k$ روی پدیده تونل زنی

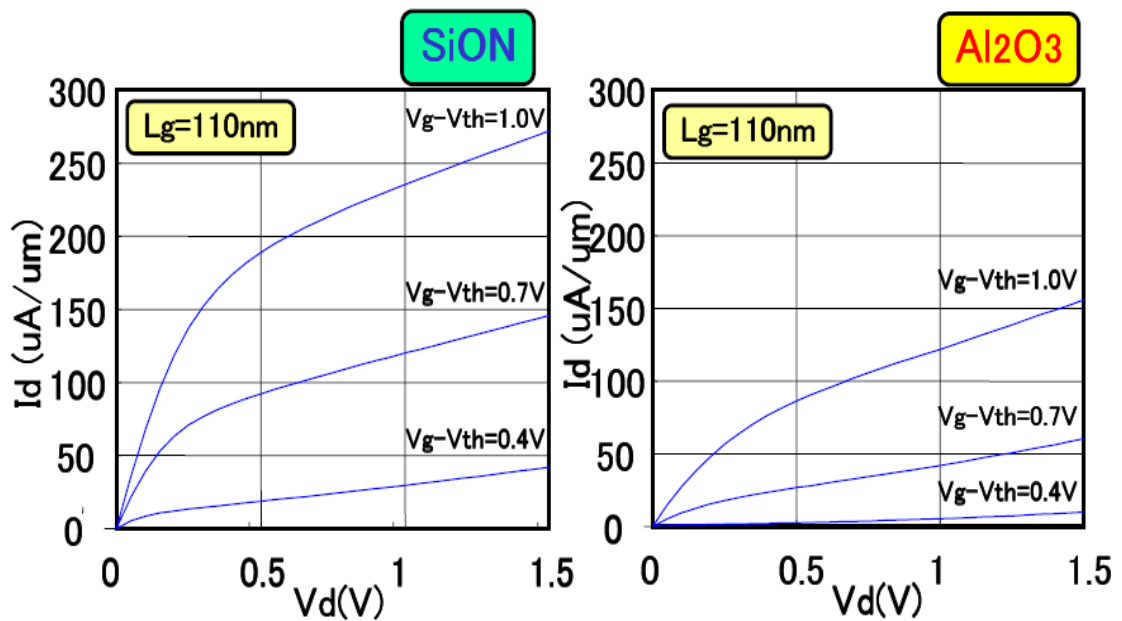


تأثیر شکاف انرژی گیت فلزی روی پدیده تونل زنی

۱۱. مقایسه جریان درین در دی الکتریک $high-k$ با SiO_2

هر SiO_2 یک $High - k$ معادل با ضخامت بیشتری دارد ، که اگر $High - k$ را در ضخامتی معادل با SiO_2 بگیریم ، در نتیجه جریان درین در مقایسه با موقعی که دی الکتریک SiO_2 است، کاهش می یابد.

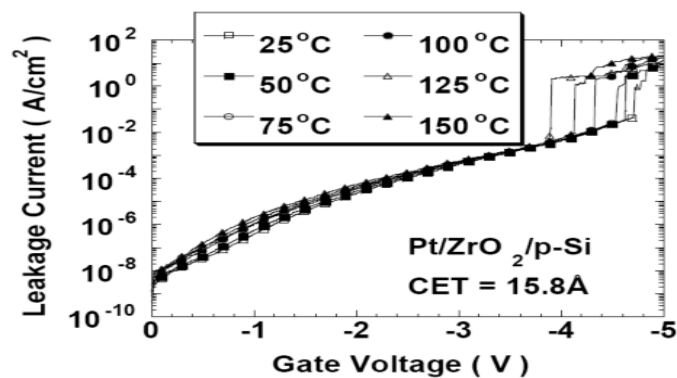
همچنین چون $High - k$ ها باعث کاهش موبیلیتی می شوند ، بطور کلی جریان درین تا حدودی کاهش می یابد.



بررسی جریان درین در دی الکتریکهای مختلف

۱۲. اثر دما بر جریان نشی

در تکنولوژی ها بعد از تولید $k - High$ ، ادوات تا دماهای زیاد (۱۰۰ درجه سانتیگراد) گرم می شود و باعث متبلور شدن و افزایش جریان نشی می گردد. و مواد مخلوط ممکن است در دماهای بالاتر مجزا گردند. همچنین دما می تواند یونهای مثبت را بدخل $k - High$ شتاب دهد. در دماهای بالاتر الکترون باعث رشد لایه میانی Sio_2 می گردد که بنابراین با افزایش این لایه ها ، احتمال به دام افتادن الکترون ها در تله این لایه ها بیشتر است. بارهای به تله افتاده در داخل دی الکتریک گیت باعث باردار شدن گیت شده و باعث ایجاد یک V_t بالاتر و یک جریان راه اندازی کوچکتر می شود.



اثر دما بر جریان نشتی گیت-کانال

۱۳. جالبترین ماده $high-k$

جالبترین نوع ماده $High - k$ آنهایی هستند که براساس عناصر ضخیم Hf پایه گذاری شده

اند : مثل : $Hfsion$, $Hfsio4$

۱۴. جمع بندی

مقایسه دی الکتریک $High - k$ با دی الکتریک Sio_2 :

۱۴-۱. دی الکتریک $High - k$

۱- موبیلیتی کمتر ۲- Vt بالاتر ۳- طول عمر ترانزیستور بیشتر می گردد.

۱۴-۲. دی الکتریک Sio_2 :

۱- موبیلیتی بیشتر ۲- Vt با ناپایداری کمتر ۳- طول عمر کمتر ۴- چگالی بدنه کمتر ۵- عملکرد آنالوگ و مچینگ بهتر .

نتیجه گیری

در تکنولوژی های پیشرفته که هم اکنون مورد استفاده قرار می گیرد استفاده از مواد $high-k$ بسیار مورد نیاز بوده تا از جریان نشتی گیت - کانال و از تونل زنی گیت جلوگیری شود . همچنین مزایای استفاده از مواد $high-k$ در ترانزیستور ها در مقایسه با معایب بوجود آمده ناشی از آن بسیار زیاد بوده و همین امر استفاده روز افزون از این مواد در تکنولوژی های روز دنیا را در پی داشته است.

۱۵. مقاله اول: بررسی اثر دی الکتریک $High-K$ از نوع HfO_2 روی تحرک پذیری و عملکرد ادوات ماسفت با تکنولوژی زیر ۱۰۰ نانومتر

۱۵-۱. چکیده

مقیاس بندی $MOSFET$ های سیلیکونی تحت تکنولوژی ۹۰ نانومتر به تقویت کننده های عملکرد ادوات به منظور ارضای تکنولوژی بین المللی برای نیازمندی های نیمه هادی برای کشیدن جریان در ترانزیستور با عملکرد بالا نیازمند است. بین گزینه های ترجیح داده شده FET های افزایشی انتقالی وجود دارند که از کانال های سیلیکونی فشرده استفاده می کنند. علاوه بر آن قرار است دی الکتریکهای $High-K$ جایگزین SiO_2 در تکنولوژی ۴۵ نانومتر شوند تا مشکل جریان نشتی گیت را کاهش دهند و مقیاس بندی بیشتری را ممکن سازند. به هر حال، علاوه بر بسیاری از تکنولوژی ها مانند بارهای به دام افتاده و متبلور شدن جزیی دی الکتریکها که هر دو، دو عامل مهم در محدود کردن قابلیت اطمینان و عملکرد قطعه در ادواتی که از $High-K$ استفاده می کنند می باشند، یک مشکل اساسی $MOSFET$ ها با دی الکتریکهای $High-k$ کاهش موبیلیتی به خاطر پراکندگی فونون های نوری نرم قوی می باشد. در این مقاله ما تأثیر پراکندگی فونونهای نوری نرم را روی موبیلیتی و عملکرد قطعات مربوط به $MOSFET$ های سیلیکونی نوع n فشرده با دی الکتریکهای $High-k$ با استفاده از یک دستگاه شبیه ساز مونته کارلو با معادله پواسون ثابت با فرض طول گیت های مؤثر ۶۷ و ۲۵ نانومتر مطالعه می کنیم. علاوه بر آن ما مختصراً تأثیری که (تغییر درصدی) یک بار به دام افتاده در داخل اکسید گیت، روی جریان راه اندازی برای هردو اکسید سیلیکون و ضخامت اکسید معادل برای دی الکتریک $High-k$ می گذارد را بررسی کرده ایم.

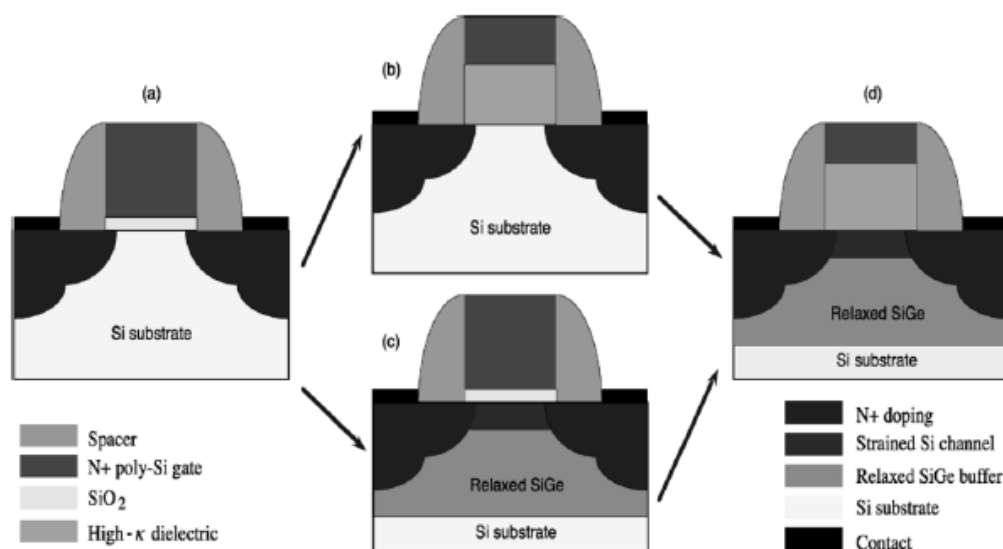
۱۵-۲. مقدمه

کانال سیستم فشرده (SSi) و دی الکتریکهای گیت $high-k$ هر دو به عنوان عملکرد تقویت کننده ها برای تکنولوژی $CMOS$ بالای ۹۰nm ملاحظه می گردند. عملکرد SSi ادوات ماسفت بر صد نانومتر که از کاهش ارتقای موبیلیتی فشرده و کاهش مداخله ی زبری پراکندگی نشئت می گیرد و توسط یک تعداد عملگر به طور موفق نشان داده می شود. همچنین نشان داده می شود که معرفی دی الکتریک گیت

high-k می تواند با بزرگ کردن اندازه ،جریان نشتی گیت را کاهش دهد.بدست آوردن دی الکتریکهای **high-k** با کیفیت بالا ،روی سیلیسیم ،به خاطر خیلی موضوعات تکنیکی از قبیل بار به تله افتاده بین دی الکتریک و تبلور جزئی دی الکتریک ،که اخیراً عملکرد و قابلیت اطمینان ادوات مربوطه را محدود می کند هنوز مسئله ساز می باشد.

به هر حال یک مانع خیلی اساسی ،که عملکرد ماسفتها با دی الکتریکهای **high-k** را محدود می کند،کاهش موبیلیتی به خاطر پراکندگی فونون نوری نرم می باشد که با گسترش تکنولوژی ساخت ،هنوز نمی تواند،طراحی شود .

به نظر می رسد که ارتقای عملکردالقای فشرده و کاهش نشتی گیت با استفاده از دی الکتریکهای **high-k** ناچاراً با هم در ترانزیستورهای تولیدی آینده ملاحظه می گردد که در شکل ۱ نشان داده شده است.



شکل ۱: ساختار ادوات شبیه سازی شده

در این کار ما اثر پراکندگی فونون **SO** را روی عملکرد ماسفت های **Si** و **SSi** مرسوم که برخاسته از دی الکتریک گیت **HfO2** که از روش شبیه سازی مونت کارلو (**EMC**) استفاده می کنند را مورد مطالعه قرار می دهیم. این یک مدعی مهم می باشد که به عنوان یک جایگزین اکسید دی الکتریک ، دارای دو حالت پایدار ترمودینامیکی روی **Si** می باشد و اثرات باند هدایت و والانس برای جلوگیری جدی روی سد تزریق حاملهای داغ کافی می باشد.

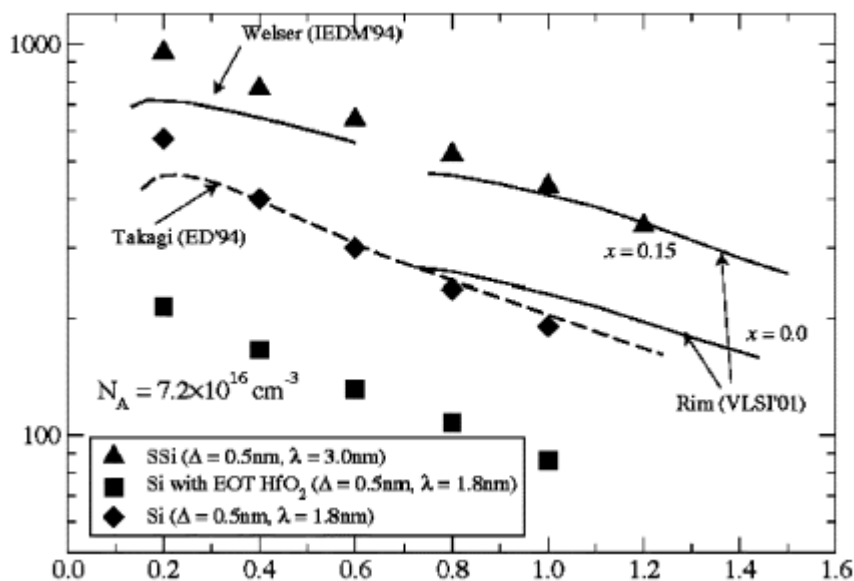
۱۵-۳. شبیه سازی ماسفتهای **Si** و **SSi** با **SiO2** :

ادوات پایه ای برای شبیه سازی های ما طول گیتهای مرسوم **80 nm** (طول کانال موثر **67nm**) برای ماسفتهای **Si**،**SSi** از نوع **n** ، با ضخامت **2.2nm** **SiO2** که توسط **IBM** منتشر شده و ماسفتهای با طول

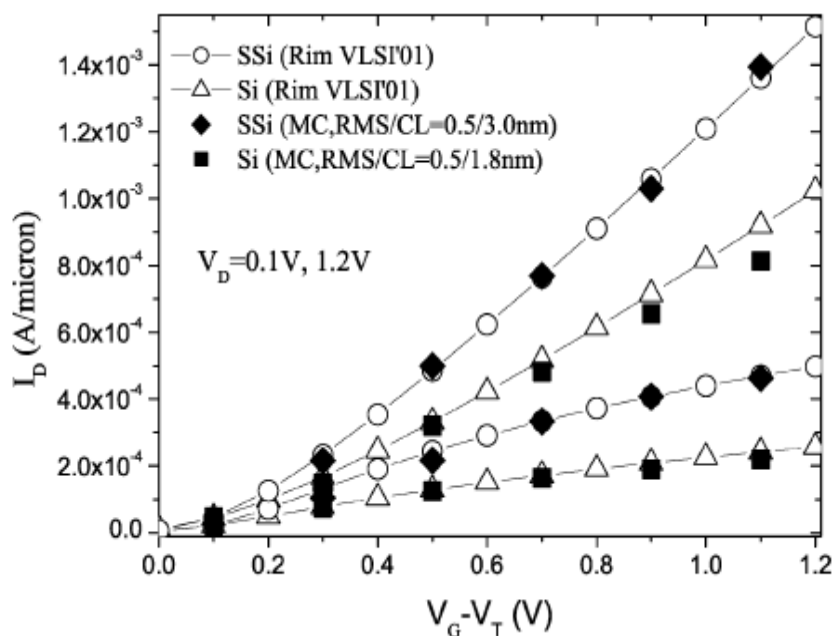
گیت‌های $35nm$ از نوع n با ضخامت $1.2nm$ $SiON$ که توسط توشیبا منتشر شده است، می‌باشد. ادوات تست به خوبی آنالیز می‌شوند که شبیه سازی های ادوات $MEDICI$ و $TAURUS$ برای استنباط ساختار ادوات از دیتاهای منتشر شده استفاده می‌کنند. ادوات مهندسی معکوس که از شبیه ساز $Poisson-EMC$ ما، استفاده می‌کنند، شبیه سازی شده بودند.

یک بخش از فنونهای مرسوم و مدل‌های پراکندگی ناخالصی یونیزه شده، شبیه ساز یک مدل غیر برهم زننده منحصر به فرد برای زبری میانی را شامل می‌شود که بر اساس تئوری بولتزمن بنا نهاده شده است. که یک رفتار میانی خشن را به عنوان شرط مرزی حل معادله انتقال بولتزمن استفاده می‌کند. استفاده از این مدل قادر است که رفتار موبیلیتی (قابلیت تحرک) سراسری برای هر دو نوع Si و Si فشرده در حضور SiO_2 در شکل ۲ نشان داده شده است را دوباره تولید نماید.

استفاده از پارامترهای IR که در بالای شبیه سازی های EMC داده شده است، قادر است که دوباره خواص تجربی ادوات IBM (در شکل ۳ ببینید)، مطابق با ارتقای عملکرد مشاهده شده ماسفتهای SSi را تولید کند. ما همچنین ماسفتهای $35nm$ شبیه سازی شده که توسط توشیبا منتشر شده است را داریم. این ساختار مشابه با ارائه یک درجه فرآیند فشار القا شده می‌باشد. ما یافته ایم که یک فشار معادل با SSi روی یک ژرمانیم ۵ در صد در محتوای بافر $SiGe$ لازم است تا دوباره دیتای تجربی تولید شود، که در شکل ۴ نشان داده شده است. در شکل ۴ خواص ادوات شبیه شده برای ادوات $35nm$ رسم شده که مقدار فشار اختلافی بین کانال را فرض می‌کند. یک ماسفت کانال فشرده با محتوای بافر معادل ۲۰ در صد ژرمانیم، تقریباً ۴۱ درصد راه اندازی جریان ارتقا روی طراحی اصلی را تحویل می‌دهد، اخیراً ارتقای جریان راه اندازی مشاهده شده ۴۵ درصد برای ماسفت $Si / Si 0.8 Ge 0.2$ می‌باشد.



شکل ۲: اثر موبیلیتی الکترون برای Si و Si فشرده شده



شکل ۳: خواص $ID-V_D$ برای ۸۰ نانومتر

۱۵-۴. پراکندگی دور بوسیله فونونهای SO :

معرفی دی الکتریکهای گیت $high-k$ نوعاً جریان نشتی گیت را به نسبت اندازه کاهش می دهد. به هر حال این قدرت پراکندگی فونون نوری نرم را معرفی می کند، که نمی تواند راه فرآیند طراحی باشد. این پراکندگی از قابلیت پراکندگی یونی قوی مواد $high-k$ منتج می شود ، که همچنین مقدار بزرگی از ثابت دی الکتریک را تعیین می کند . الکترونها با یک عکس العمل $Fröhlich$ از این فونونها پراکنده می شوند ، که یک دامنه میدان پراکنده در تداخل دی الکتریک بوسیله رابطه زیر داده شده است :

$$\phi_{\omega_{SO}} = \left\{ \frac{\hbar\omega_{SO}}{2q^2} \left[\frac{1}{\epsilon_{Si}^{\infty} + \epsilon_{ox}^{\infty}} - \frac{1}{\epsilon_{Si}^{\infty} + \epsilon_{ox}^0} \right] \right\}^{1/2}$$

که در آن ϵ_{ox}^0 و ϵ_{ox}^{∞} در آن نفوذ پذیری نوری و پایدار برای اکسید هستند، در حالی که ϵ_{si} نفوذ پذیری نوری برای سیلیسیم می باشد و ω_{so} فرکانس طولی فونون نوری نرم می باشد که از دو تا مد فونون نوری اریب غالب در دی الکتریک با رابطه *Laddan-sachs-Teller* محاسبه شده است. جدول ۱ نفوذ پذیری الکتریکی نوری و پایدار با انرژی های فونون برای دو تا مد *TO* یعنی ω_{TO1} و ω_{TO2} ، برای دی الکتریکهای مختلف ملاحظه شده در این کار را لیست کرده است. از جدول ۱ و شکل های ۲ و ۳ مشاهده می گردد که برای انرژی های فونون پایین، اختلاف زیادی بین نفوذ پذیری نوری و پایدار برای دی الکتریکهای *high-k* از نوع *Hfo2* وجود دارد که منجر به پراکندگی حاملها در لایه وارون می شود. همچنین انرژی های فونون پایین تر یک جمعیت فونون بزرگتر دارند، که بر فرکانس فونون وابسته به نرخ پراکندگی به خاطر وابستگی نمایی جمعیت فونون روی فرکانس، غلبه میکند. عنصر ماتریس دامنه پراکندگی، ϕ_{WSO} ، از مداخله دی الکتریک به عنوان e^{-Qt} می کاهد، جایی که Q به انتقال اندازه حرکت در سطح مقطع ارتباط داشته و t فاصله از تداخل می باشد. نرخ پراکندگی برای پراکندگی فونون نوری نرم از حالت اولیه k و حالت نهایی k' متناسب است با مربع عنصر ماتریس که رابطه آن بصورت زیر است:

$$S(k, k') = \left(\frac{e^2}{4\pi\epsilon_0} \right) \frac{\omega_{SO}}{2\pi q^2} \left[\frac{N_q}{N_q + 1} \right] \left[\frac{1}{\epsilon_{Si}^{\infty} + \epsilon_{ox}^{\infty}} - \frac{1}{\epsilon_{Si}^{\infty} + \epsilon_{ox}^0} \right] e^{-2Qt} D(k')$$

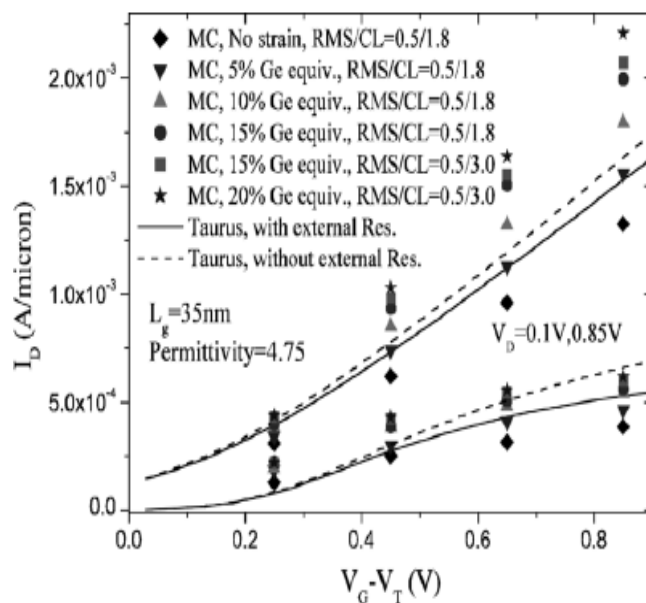
جایی که N_q بر جمعیت فونونها دلالت میکند، $(N_q + 1)$ برای انتشار و N_q برای جذب) که بوسیله تابع توزیع *Bose-Einstein* در زیر داده شده است:

$$N_q = \frac{1}{\exp\left(\frac{\hbar\omega_{SO}}{k_B T}\right) - 1}$$

$D(K')$ بر چگالی حالت های مربوط شده به حالت نهایی K' دلالت می کند. نوعاً این متناسب با \sqrt{E} برای الکترونهای *3-D* که اینجا ملاحظه می گردد، افزایش می یابد. ما یاد آوری می کنیم که این

با عنصر ماتریس که با انرژی به خاطر عبارت $\frac{1}{q^2}$ کاهش می یابند، شمارش میگردد، و بنابر این نرخ پراکندگی کل برای پراکندگی فونون نوری نرم با افزایش انرژی به عنوان یک عکس العمل *Fröhlich*، کاهش می یابد.

Parameter	SiO ₂	HfO ₂
$\epsilon_m^0(\epsilon_0)$	3.90	22.00
$\epsilon_m^\infty(\epsilon_0)$	2.50	5.03
$\hbar\omega_{TO1}$ (meV)	55.60	12.40
$\hbar\omega_{TO2}$ (meV)	138.10	48.35
$\hbar\omega_{SO1}$ (meV)	57.14	16.79
$\hbar\omega_{SO2}$ (meV)	140.78	50.67



شکل ۴: خواص $ID-VD$ برای ۳۵ نانو متر

جدول ۱

۱۵-۵. شبیه سازی ماسفت های Si و SSi با دسته گیت های $high-k$:

SiO_2 استفاده شده در طراحی و شبیه سازی های ادوات $35nm$ و $80nm$ بوسیله دی الکتریک $high-k$ از نوع HfO_2 با ضخامت اکسید معادل یکسان (EOT) با ادوات اصلی جایگزین شده است. این ظرفیت گیت یکسانی را منحصر شده و تقریباً کنترل گیت الکترواستاتیکی مشابه برای ادوات با بسته های گیت $high-k$ و SiO_2 را فراهم میکند. به هر حال در حضور دی الکتریک های $high-k$ حاملها بین لایه معکوس، در معرض پراکندگی فونون نوری نرم مهمی قرار میگیرند که به یک کاهش در میدان قایم وابسته به موبیلیتی میدان پایین، بین کانال یک ماسفت منجر میشود، که اکسید گیت HfO_2 را به کار می گیرند (پارامترهای ضخیم یکسانی برای SiO_2 فرض میشود)، در شکل ۲ نشان داده شده است

بنابراین کاهش در جریان راه اندازی ادوات وقتی که دی الکتریکهای $high-k$ معرفی میشوند ، انتظار میرود. در شبیه سازی که اینجا شرح داده شد ، ما یک لایه اکسید $high-k$ خالص که هیچ گونه لایه میانی (مداخله گر) ندارد ، فرض کرده ایم. در حال حاضر به نظر می رسد که در عمل تشکیل یک لایه میانی نازک (معمولا چیزی شبیه SiO_2 فرض می شود) در خلال رشد دی الکتریک $high-k$ ، غیر قابل اجتناب است . با تشکیل این لایه میانی به طور موثر تکنیک دی الکتریک $high-k$ از زیر لایه افزایش می یابد ، همچنین عکس العمل قوی با مدهای فونون نوری نرم کم انرژی دی الکتریک $high-k$ کاهش می یابد ، تنزل موبیلیتی نتیجه شده ممکن است نسبتا کمتر از پیشگویی فعلی باشد . به هر حال این به ساختار واقعی ترکیب لایه میانی بستگی دارد . مطالعات نظری و تجربی اخیر نشان می دهد که ممکن است این بطور مهم عنصر هافنیم (Hf) غنی شده باشد. به هر حال معرفی یک لایه میانی با یک مقدار K کم نسبت به ماده $high-k$ ، اثر کل ظرفیت اکسید دی الکتریک گیت را تغییر میدهد .

کمترین ضخامت اکسید معادل بدست آمده هرگز کمتر از لایه میانی با K کمتر ، نمی باشد. بنابراین افزایش انتظار رونده در عملکرد ادوات بخاطر یک لایه میانی روی دی الکتریک $high-k$ خالص ، با کاهش در ظرفیت گیت القا شده بوسیله لایه میانی ، به خطر افتاده است، و همچنین وجود یک لایه میانی یک محدودیت جدی روی ضخامت اکسید گیت معادل که می تواند بدست آید ، نشان میدهد. شکل ۵ و ۶ مشخصه $I_G - V_G$ شبیه سازی شده برای ماسفتهای Si ، SSi ، $80nm$ به ترتیب با یک ضخامت اکسید معادل $2.2nm$ برای HfO_2 را نشان می دهد. یک کاهش در جریان راه انداز ، بخاطر پراکنش فونون نوری نرم از $high-k$ در حدود ۴۰ تا ۵۰ درصد در $V_D = 0.1V$ و کاهش در حدود ۲۵ درصد در $V_D = 1.2V$ در یک گیت با راه اندازی بالا ، برای هر دو نوع Si و SSi ($V_G - V_T = 1.2V$) مشاهده شده است. این ممکن است به این حقیقت که پراکنش فونون نوری نرم در ولتاژهای درین بالا ، کاهش می یابد ، نسبت داده شود. حاملها بطور متوسط ، انرژی ای را که پایین کانال از سورس به درین بخاطر شیب پتانسیل حرکت می کنند، بدست می آورند ، که مقدار انرژی وقتی که بایاس درین افزایش می یابد ، منجر به افزایش می شود. بنابراین حاملها در کانال میل دارند که انرژی های جنبشی زیادتری در بایاسهای بالا نسبت به بایاسهای پایین داشته باشند، و همچنین مایلند که پراکنش فونون نوری نرم کمتری را تجربه کنند ، و عکس العمل $Fröhlich$ با افزایش انرژی حاملها ، کاهش می یابد. [۲ و ۳] در دی الکتریکهای گیت $high-k$ ثابت دی الکتریک پایدار بزرگ از باندها و قید های یونی پلاریزه شده زیاد ، ناشی می گردد، که منجر به انرژی فونون کمتر و نفوذ پذیری نوری کوچکتر می شود. SiO_2 مرسوم

کمترین ثابت دی الکتریک پایدار را دارد ، اما قيود خیلی سخت تر و بنابراین ، انرژی فونون بالاتری دارد ، که ناشی از اثر کوچک فونون پراکندگی فونون نوری نرم در ادوات پایه گذاری شده بر اساس SiO_2 می شود.

در این مورد ما یک کاهش کمتر از ۵ درصد در جریان راه اندازی ، برای یک چنین ادواتی ، وقتی که پراکندگی فونون نوری نرم وجود داشته باشد ، مشاهده می کنیم. ما همچنین مشاهده می کنیم که جریان راه اندازی در ادوات Si فشرده شده با پراکندگی فونون نوری نرم ، بخاطر وجود دی الکتریک $high-k$ با جریان بدست آمده در ادوات بنا نهاده شده بر پایه Si مرسوم ، قابل مقایسه می باشد. ما می توانیم این رفتار را با مقایسه سرعت های کانال در این ادوات بیشتر امتحان کنیم . شکل ۷ ، میانگین سرعت های کانال را با و بدون پراکندگی فونون نوری نرم با یک دی الکتریک HfO_2 در بالاترین جریان گیت یکسان ($V_G - V_T = 1.2^V$) برای ادوات Si و SSi مقایسه می کند، که نشان می دهد ، معرفی موبیلیتی بالای کانالهای فشرده شده می تواند برای خنثی سازی عملکرد تنزل بخاطر فونون نوری نرم در ادوات با بسته های گیت $high-k$ ، استفاده می شود .

شکل ۸ مشخصه $I_G - V_G$ را برای ماسفتهای Si که شامل ۱۵ درصد و ۲۰ درصد ژرمانیم معادل با یک ضخامت اکسید معادل مربوط به HfO_2 یک $SiON$ ، $1.2\ nm$ را نشان می دهد. تنزل جریان راه اندازی بخاطر پراکندگی فونون نوری نرم در ادوات $35nm$ در حدود ۸ درصد می باشد. اثر کم زیان باری پراکندگی فونون نوری نرم در این مورد می تواند به یک کاهش در نرخ پراکندگی فونون نوری نرم با افزایش انرژی حاملها نسبت داده شود ، همچنین ممکن است این کاهش از ادوات با کانالهای کوتاهتر انتظار رود. بنابراین در حالی که اثرات حاملهای داغ می توانند بدلائل زیادی زیانبار باشند ، اثر پراکندگی فونون نوری نرم را کاهش می دهند.

۱۵-۶. ماسفت Si بایک بار به تله افتاده در اکسید

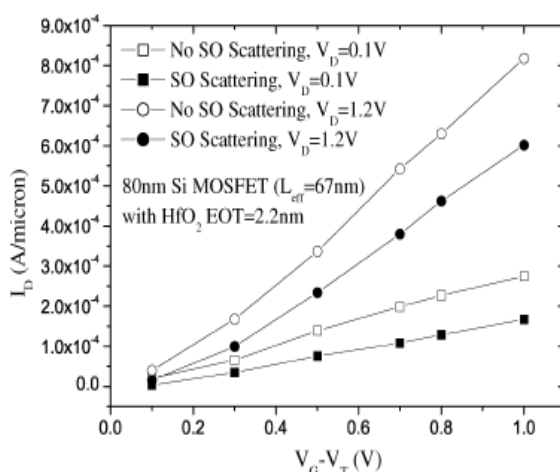
ماسفتهای Si در حالتی که از دی الکتریکهای گیت $high-k$ استفاده می کنند ، اغلب چگالی حالت میانی بالا و بارهای تله مربوط شده ، به علاوه پراکندگی فونون نوری نرم که در بالا بحث شد را نمایان می کنند. نتیجه تزریق حاملهای داغ و اثر ناپایداری دمای بایاس منفی مشکلات قابل اعتمادی را باعث شده و منجر به تنزل عملکرد می شوند ، که ما این را مورد بررسی قرار می دهیم.

شکل ۹ تغییر کسری در مشخصه $I_G - V_G$ را برای ماسفتهای Si با طول کانال های مشابه به عنوان یک نتیجه به تله افتادن تنها در مرکز کانال را شرح می دهد، که اینجا بیشترین اثر را تولید می کند (اغلب به دامنه سیگنال تلگراف رندوم یا RTS رجوع می شود).

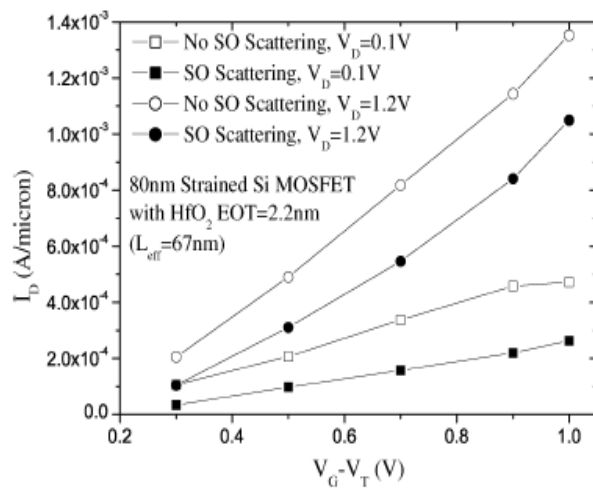
این دلالت محکمی برای ادوات قابل اطمینان و اثر شانس به تله افتادن الکترون، روی جریانهای بعدی درین دارد. شکل ۹، نتایج را برای ضخامت های دی الکتریک $1nm$ برای SiO_2 و $1nm$ برای ضخامت اکسید معادل HfO_2 که با $doping$ گیت پلی سیلیکون $2 \times 10^{20} cm^{-3}$ ، نشان می دهد، که این تغییر جریان به خاطر قرار گرفتن تله ها در میان دی الکتریک Si (مورد اشتباه)، میان چند دی الکتریک و در ۲۵٪، ۵۰٪ و ۷۵٪ راه از میان دی الکتریک را نشان می دهد.

همچنین موقعیت بارهای به تله افتاده، به سمت گیت حرکت می کند، اثر الکترو استاتیک روی پتانسیل کانال کاهش می یابد و دامنه RTS کمتر می گردد.

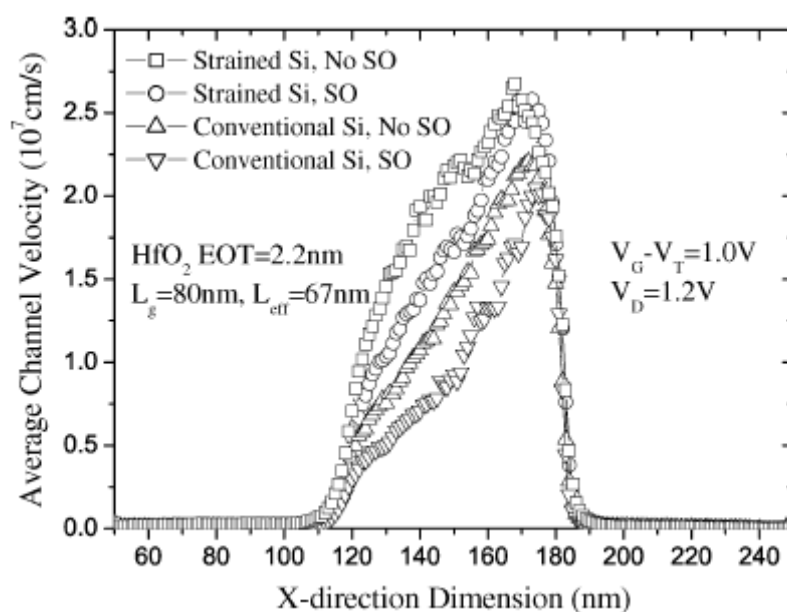
این کاهش در مورد دی الکتریک $high-k$ تاکید شده است، همچنین تله بوسیله استخراج بزرگتری از الکترونهای پوششی در پلی سیلیکون با $doping$ زیاد تاثیر می پذیرد، بنابراین امکان به هم پیوستن یک گیت فلزی با دی الکتریک های $high-k$ ، ممکن می گردد، بنابراین برای کاهش اثر بارهای به تله افتاده با اکسید مفید می باشد.



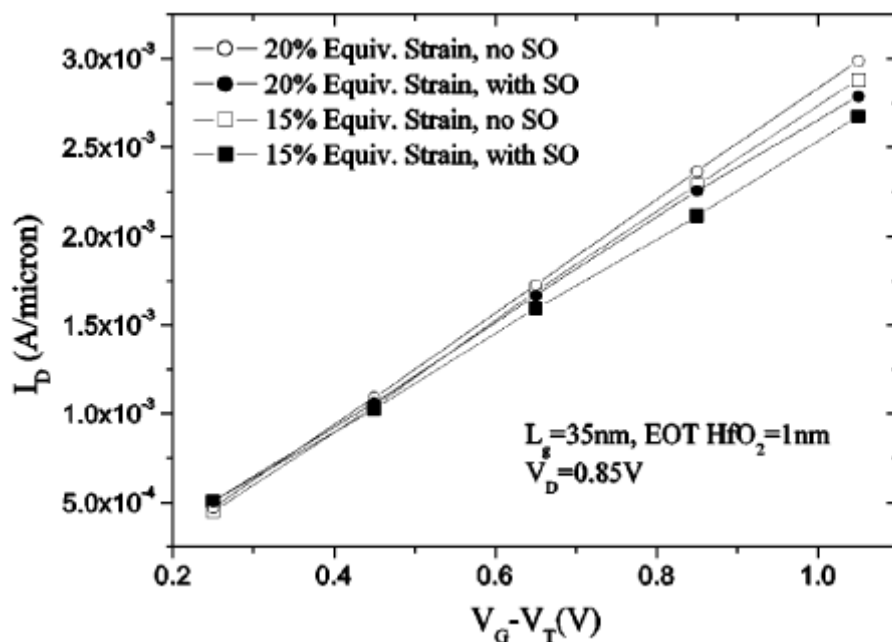
شکل ۵: خواص $ID-VG$ با فونون های SO برای Si ۸۰ نانو متر



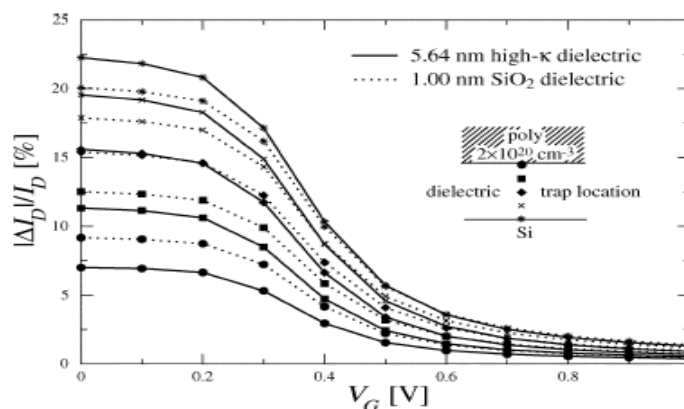
شکل ۶: خواص $ID-V_G$ با فونون های SO برای Si فشرده ۸۰ نانومتر



شکل ۷: سرعت متوسط کانال با و بدون فونون های SO برای Si و SSi ۸۰ نانومتر



شکل ۸: خواص $ID-V_G$ با فونون های SO برای Si فشرده شده ۳۵ نانو متر



شکل ۹: دامنه های RTC نسبی

۱۵-۷. نتیجه گیری

برای ماسفتهای با طول کانال $80nm$ یک کاهش در جریان راه اندازی مهمی در حدود ۲۵٪ در $V_G - V_T = 1V$ و $V_D = 1.2V$ در ادوات Si فشرده شده و مرسوم با یک بسته گیت HfO_2 ، وقتی که با ادوات SiO_2 با ضخامت اکسید معادل مقایسه می شوند، مشاهده می گردند. همچنین به عنوان یک

مرجع کاهش جریان مربوط به پراکندگی فونون نوری نرم در ادواتی که بر اساس SiO_2 بنا نهاده شده اند ، با ساختار یکسان ، کمتر از ۵ در صد می باشد. نتایج ما همچنین نشان می دهد که کاهش موبیلیتی ذاتی مربوط به ماسفتهای با بسته گیت $high-k$ ممکن است ، با معرفی کانالهای Si فشرده شده جبران بشوند. همچنین مدرکی وجود دارد که انرژی حاملهای افزایش یافته در ادوات کوتاهتر ممکن است به کاهش تنزل به خاطر پراکندگی فونون نوری نرم دور از بسته گیت $high-k$ به خاطر عکس العمل ضعیف تر $Fröhlich$ در انرژی های بالاتر ، کمک کند. به هر حال نو پا بودن تکنیک های ساخت گیت $high-k$ این معنی را می دهد که مکانیسم پراکندگی کاهش موبیلیتی ، از قبیل بارهای به تله افتاده و زبری میانی ابتدا و انتهای افزایش یافته ، به تنزل عملکرد ادوات می افزاید. بنابراین تنزل عملکرد سراسری مربوط شده به دی الکتریک گیت $high-k$ انتظار می رود که از پیشگویی های ساخته شده در این نوشته غلط باشد. ما همچنین بطور مختصر اثر روی جریان راه اندازی بخاطر یک بار به تله افتاده بین دی الکتریک ، را مورد بررسی قرار می دهیم . در اینجا ما کاهش در تنزل جریان مشاهده شده را نشان می دهیم ، همچنین ما یک فاصله الکتریکی معادل داده شده به داخل اکسید بخاطر افزایش پوشش الکترونها بین پلی سیلیکون در مورد دی الکتریک $high-k$ را حرکت می دهیم .

۱۶. مقاله دوم: تأثیر دی الکتریک های گیت $High-k$ روی عملکرد مدار و قطعات

CMOS عمیق با ابعاد زیر میکرومتر

۱۶-۱. چکیده

اثر پتانسیل دی الکتریک های گیت با نفوذپذیری بالا روی قطعات کانال کوتاه و عملکرد مدار در محدوده وسیعی از نفوذپذیری دی الکتریک ها (k gate) با استفاده از ادوات دو بعدی ($2D$) و شبیه سازی مونته کارلو مطالعه شده است. خازن گیت - کانال و خازنهای حاشیه پرازیتی با استفاده از یک استخراج کننده خازن سه بعدی دقت بالا، به دست آمده اند.

مشاهده شده است که وقتی که اکسید سیلیکن معمولی با یک دی الکتریک گیت $High-k$ جانشین می شود، یک کاهش در خازن حاشیه ای بیرونی پرازیتی و خازن گیت - کانال و علاوه بر آن یک افزایش در خازن حاشیه ای داخلی داریم.

کمتر بودن خازن پرازیتی حاشیه ای خارجی برای عملکرد مدار سودمند است، در حالیکه افزایش خازن داخلی حاشیه ای و کاهش در خازن گیت - کانال عملکرد کانال کوتاه مدار را در رابطه با $DIBL$ بالاتر، جریان درین بالاتر و نویزمارجین کمتر کاهش می دهد. نشان داده شده است که استفاده از دیواره های جانبی گیت با K پائین و عایق های گیت با K بالا می تواند کاهش حاملهای القا شده در اثر بیرون زدگی را کاهش دهد.

همچنین از نقطه نظرمداری، برای تولید تکنولوژی 70-nm حضور یک $Kgate$ بهینه برای جریان های نشتی زیرآستانه ای اهداف مختلف شناسایی شده است.

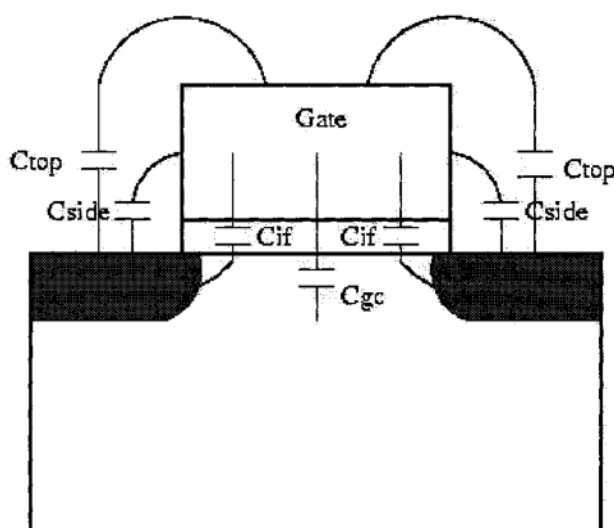
فهرست واژه ها - شبیه سازی مدار، میدان های حاشیه ای، عایق گیت، دی الکتریک $High-k$ ، جریان نشتی و روش های مونته کارلو، $MOSFET$ ها، اثر کانال کوتاه.

۱۶-۲. مقدمه

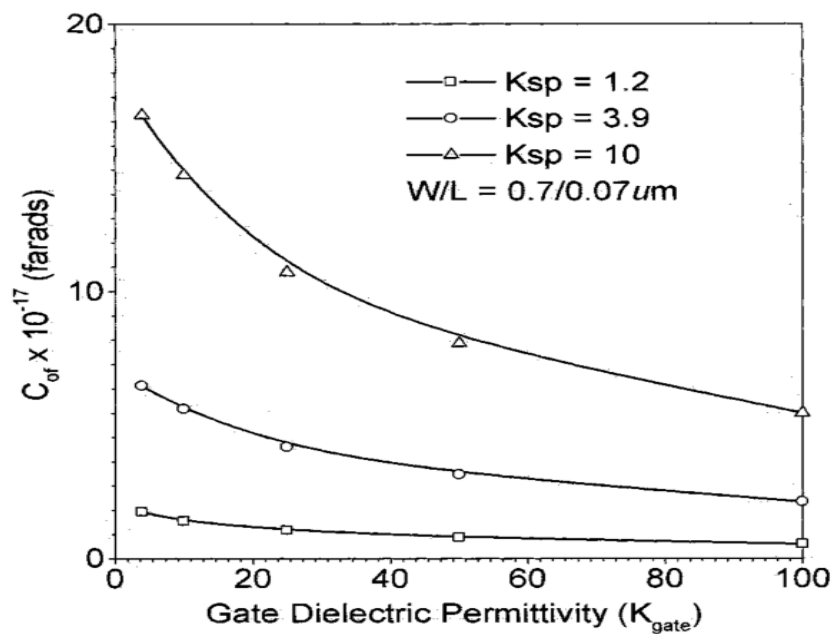
برطبق دستورالعمل SIA ، $CMOS$ های با طول گیت کمتر از 70nm نیاز به ضخامت اکسید کمتر از 1.5nm دارند که متناظر با دو یا سه لایه اتم دی اکسید سیلیکن است با چنین اکسید گیت نازکی، تونل زنی مستقیم رخ می دهد که منجر به یک افزایش نمایی در جریان نشتی گیت می شود. [1]. [4].

جریان نشتی منتج تلف توان را افزایش می دهد و عملکرد قطعه و پایداری مدار را برای مدارهای $VLSI$

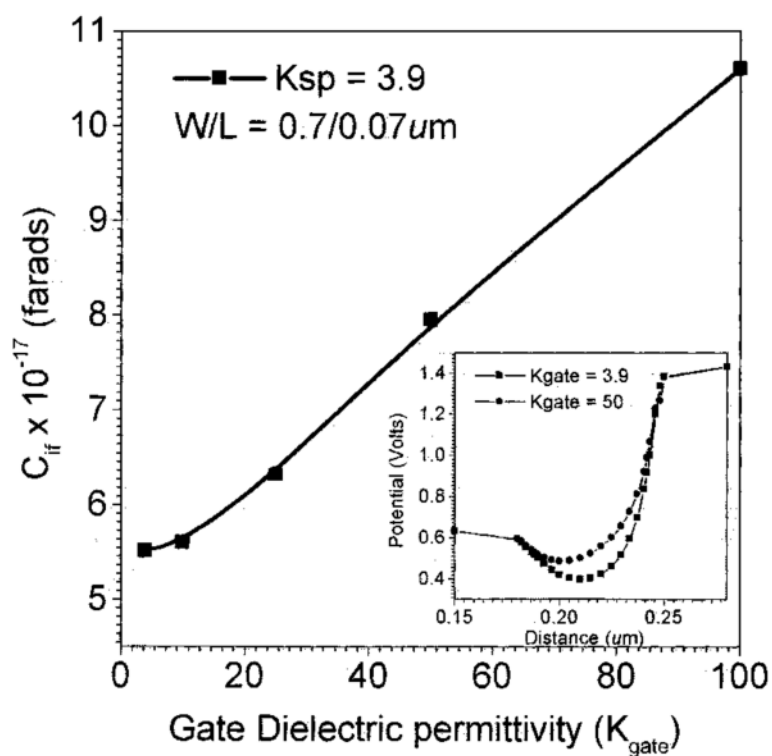
به هم می‌زنند. دی الکتریک های گیت $High_k$ مثل Al_2O_3 ($k \sim 10$)، HfO_2/ZrO_2 ($k \sim 25$) و La_2O_3 اخیراً توجه زیادی را به خود جلب کرده اند تا از تونل زنی مستقیم گیت جلوگیری شود. (۷). (۵). در چند سال اخیر، تلاشهای زیادی شده است تا ویژگی های دی الکتریک های گیت $High-k$ بالا شناسایی شود که شامل موضوعات فنی در مورد ساخت آنها می باشد. بعضی از مشکلاتی که در حال حاضر به آنها پرداخته می شود شامل اطلاعات لایه های دو رویه در طول فرآیند گرمایی، ترکیب میکروکریستال در طول فرآیند و کاهش تحرک پذیری است. همچنین ضخامت دی الکتریک گیت فیزیکی بالاتر (بوسیله یک ضریب K_{gate}/K_{SiO_2}) در ترانزیستورهای $High-k$ Mos منجر به میدان حاشیه ای بزرگتر از نواحی گیت به سورس، درین می شود که خود موجب کاهش کنترل گیت می شود. (۸). این امر موجب عملکرد زیرآستانه ای ضعیف و افزایش اثر کانال کوتاه می شود. در این مقاله برای مطالعه تأثیر دی الکتریک های گیت $High-k$ و مواد دی الکتریک جدا کننده روی عملکرد ترانزیستورهای Mos زیر – میکرومتر شبیه سازی های وسیعی انجام شده است. L خازنهای حاشیه ای پارازیتیک به درین – سورس و خازن گیت به کانال را برای ترانزیستورهای Mos با دی الکتریک گیت $High-k$ با استفاده از تکنیک بسیار دقیق سه بعدی مونته کارلو آنالیز کرده ایم. (۹). آنالیز دقیق موضوع عملکرد مدارهای 70 CMOS نانومتری با دی الکتریک های $High-k$ متفاوت با استفاده از شبیه سازی های مود مختلط بصورت وسیعی ارائه شده است. نتایجی که ارائه شده است دید مفیدی در مورد فیزیک ترانزیستورهای Mos با دی الکتریک گیت $High-k$ فراهم می کند.



شکل ۱: نمای یک MOSFET



شکل ۲: وابستگی خازن بیرون زدگی به ثابت دی الکتریک گیت



شکل ۳: تغییرات خازن بیرون زدگی داخلی و پتانسیل سطحی با ثابت دی الکتریک گیت

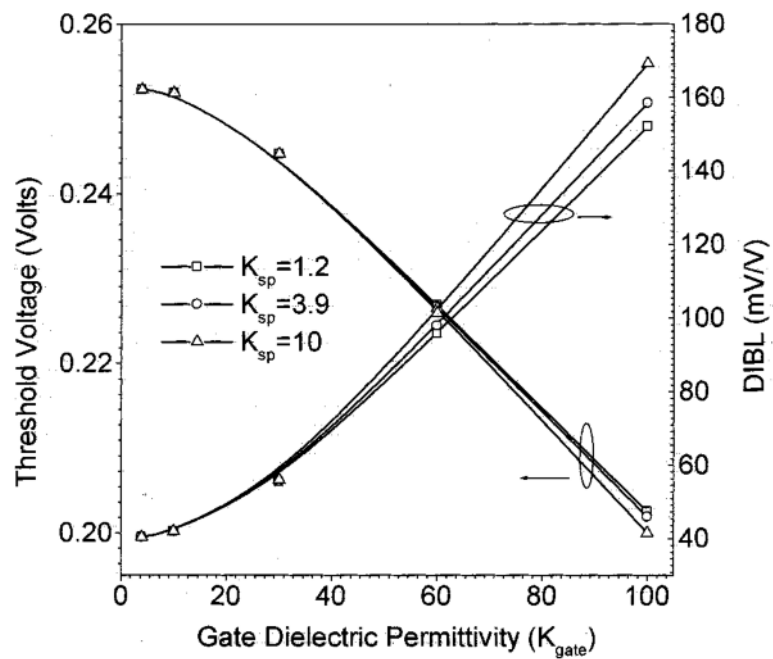
۱۶-۳. ساختارهای شبیه سازی شده

اجزای مختلفی از خازنهای حاشیه ای با استفاده از یک محاسبه کننده سه بعدی خازن براساس روش مونته کارلو CAPEM استخراج شده است .

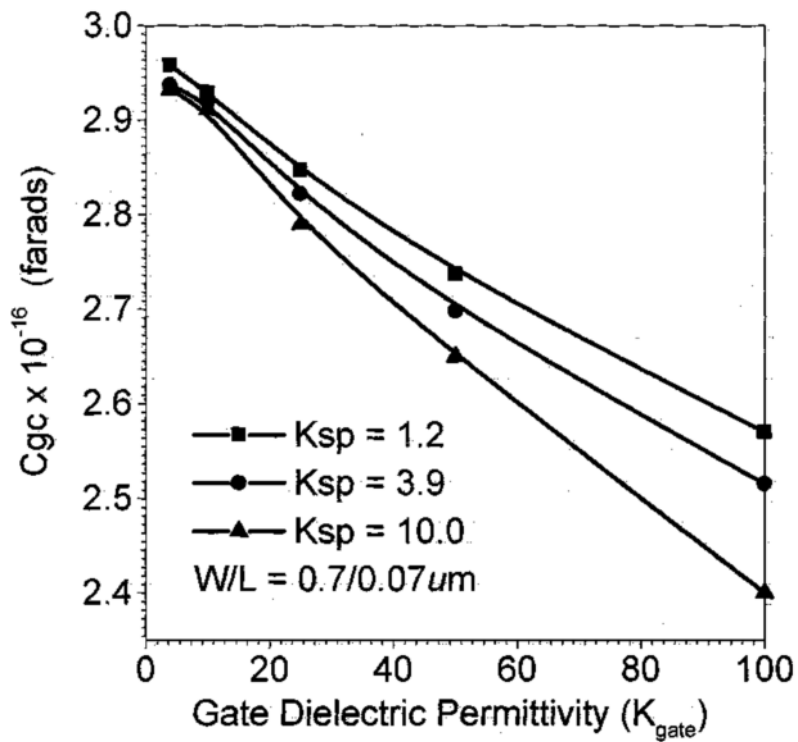
ما برای این منظور از یک ساختار ساده استفاده کردیم. سورس ، گیت و درین به عنوان هادی تعریف شده اند. همچنین فرض شده که زیر لایه Substrate دارای دوپینگ زیاد می باشد. طول الکترو و گیت و عمق الکترو سورس ، درین استفاده شده به ترتیب $70nm$ ، $36nm$ است. از یک صفحه گیت استفاده شده تا خازن گیت به زیر لایه اندازه گیری شود که در فواصل $18nm$ و $1nm$ از فصل مشترک Si / SiO_2 نگه داشته می شود تا به ترتیب شرایط تخلیه و وارونگری ضعیف را نشان دهد. برنامه محاسبه کننده ، معادله لاپلاس را برای پتانسیل های الکترو مختلف با استفاده از یک الگوریتم گام تصادفی (۹) حل می کند که مستقیماً خازن بین الکتروها را محاسبه می کند. شبیه سازی های دستگاه با استفاده از یک شبیه ساز دو بعدی MEDICI انجام شده اند. ساختارهای شبیه سازی شده که براساس ابعاد دستگاه مقیاس بندی شده که در SIA طراحی شده اند. (۱۱) ، دارای طول گیت $70nm$ و ضخامت اکسید $1.5nm$ می باشند.

از یک تکنولوژی جدا کننده با سورس - درین توزیع یافته با ناخالصی بالا استفاده شده است. گسترش سورس - درین و عمق پیوند عمیق سورس - درین به ترتیب $30nm$ ، $50nm$ هستند. دستگاه دارای پیک دوپینگ کانال $2 \times 10^{18} cm^{-3}$ است. گذردهی دی الکتریک های گیت (K_{gate}) با ثابت نگه داشتن ضخامت مؤثر دی الکتریک گیت در $1.5nm$ ، از $3/9$ تا 100 تغییر می کند.

همچنین ثابت دی الکتریک جدا کننده (K_{sp}) از 1.2 تا 10 تغییر می کند تا پخش میدان حاشیه ای را با مواد جدا کننده متفاوت مشاهده کنیم. مدل تعادل انرژی تنظی شده مثبت شده است تا تغییرات فضایی انرژی حامل را به منظور حساب کردن بالازدگی سرعت و پدیده انتقال غیر محلی بررسی کنیم. زمان استراحت انرژی استفاده شده برای شبیه سازی هیدرودینامیکی ، $0.2ps$ بود. از آمار فرمی دیراک استفاده شده است تا چگالی حاملهای فعال را در طول ساختار شبیه سازی تعیین کنیم. ترکیبی از تکنیک های حل مزدوج و جدا استفاده شده است تا شبیه سازی دستگاه در دمای اتاق انجام شود. برای جدا سازی کاهش خازن عمدتاً ناشی از میدان های بیرون زدگی ، تأثیر تخلیه چندگانه و اثرات مکانیک کوانتومی به حساب نیامده اند.



شکل ۴ : نمودار ولتاژ آستانه و $DIBL$ بر حسب ثابت دی الکتریک گیت



شکل ۵ : نمودار خازن گیت به کانال بر حسب ثابت دی الکتریک گیت

۱۶-۴. نتایج و بحث ها

خازنهای متفاوتی در ارتباط با سیستم MOS در شکل ۱ نشان داده شده اند.

خازن بالایی (C_{top}) بالاترین خازن حاشیه ای است که مربوط به میدان الکتریکی بیرون آمده از سطح بالایی پلی - گیت و وارد شونده به لایه اول دی الکتریک های سطح / غیر فعال سازی ($TEOS$) و خارج شده از نواحی سورس درین می باشد.

خازن دیواره جانبی (C_{side}) خازن حاشیه ای دیواره جانبی می باشد که مربوط به میدان الکتریکی ظاهر شده از دیواره جانبی پلی گیت و خارج شده از نواحی سورس / درین است. برای مطالعات ما ، خازن حاشیه ای بیرون (COF) را بعنوان ترکیب موازی C_{top} , C_{side} تعریف کرده ایم.

$C_{of} = C_{top} + C_{side}$. این خازنها با استفاده از یک روش استخراج سه بعدی خازنها براساس مونته کارلو محاسبه شده اند. شکل ۲ تغییرات خازن حاشیه ای بیرونی را بعنوان تابعی از گذردهی دی الکتریک گیت و جدا کننده نشان می دهد. همانطور که در شکل نشان داده شده است، با افزایش K_{gate} بخاطر فاصله بیشتر (بخاطر ضخامت دی الکتریک گیت بیشتر) پیموده شده بوسیله خطوط میدان قبل از رسیدن به نواحی سورس - درین از طریق کناره و بالای الکترودگیت ، COF کاهش می یابد.

درمورد مواد K پائین بعنوان جدا کننده ، خطوط میدان از بین مواد K پائین عبور می کنند که باعث کاهش بیشتر C_{of} می شود. خازن حاشیه ای داخلی (C_{if}) که در شکل ۳ نشان داده شده است با K_{gate} افزایش می یابد که دلیل آن تعداد بسیار زیاد خطوط میدان است که به لبه داخلی سورس - درین ختم می شوند. در نهایت این خطوط میدان یک میدان الکتریکی را از سورس به کانال القا می کند که بدان وسیله همانطور که در شکل قبل نشان داده شده موجب کاهش ارتفاع سد سورس به کانال شوند. از آنجائیکه ولتاژ آستانه (V_t) دستگاه بوسیله تزریق الکترونها روی این سد پتانسیل کنترل می شود ، همانطور که در شکل ۴ نشان داده شده است ، این V_t با افزایش K_{gate} کاهش می یابد. با افزایش K_{gate} ، ضخامت فیزیکی دی الکتریک گیت قابل مقایسه با طول کانال می شود.

بنابراین درصد خطوط میدان ناشی از کف الکترودگیت و ختم شده به نواحی سورس - درین (با افزایش C_{if} نشان داده شده است) در مقایسه با خطوط میدانی که به کانال ختم می شوند ، افزایش می یابد.

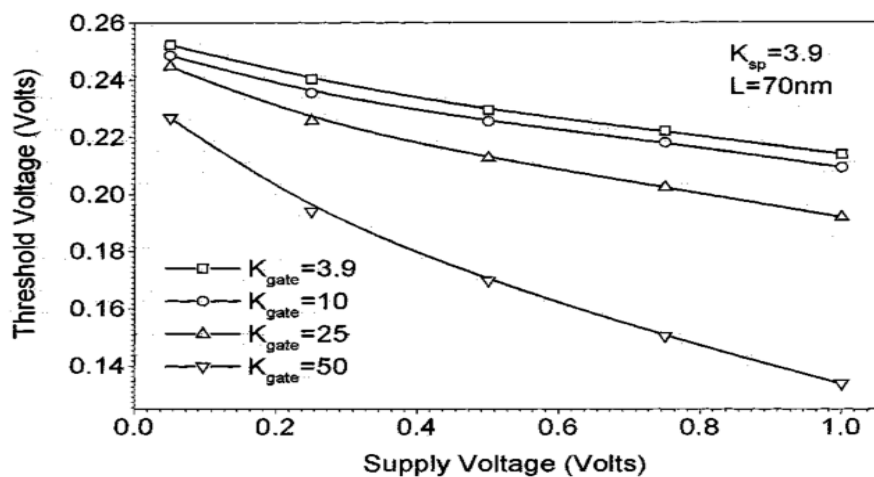
بنابراین همانطور که در شکل ۵ نشان داده شده است با افزایش K_{gate} ، C_{gc} کاهش می یابد. به هر حال استفاده از جدا کننده $Low-k$ می تواند به خوبی خطوط میدان را درون ناحیه کانال محدود کند که

خود منجر به افزایش خازن گیت به کانال می شود. بخاطر این کاهش در کنترل گیت در ترانزیستورهای MOS با گیت $High - k$ ، الکتروود درین به سختی به کانال وصل شده است و میدان الکتریکی جانبی از درین در یک فاصله بیشتری به کانال می رسد. این نزدیکی الکتریکی درین و سورس موجب افزایش اثر کانال کوتاه مانند کاهش سد القایی درین ($DIBL$) در ترانزیستورهای MOS با K_{gate} بالا می شود، (در شکل ۴ نشان داده شده است). ما همچنین نشتی حالت خاموش (I_{off}) را در بدترین حالت ، با داشتن طول کانال $(L - \Delta L)$ و جریان درین اشباع ($I_{d, sat}$) برای منابع تغذیه و K_{gate} های مختلف بدست آورده ایم . همان طور که در شکل ۶ نشان داده شده است ، نسبت $I_{d, sat}/I_{OFF}$ با K_{gate} کاهش می یابد که بخاطر کاهش در ولتاژ آستانه و نیز بخاطر مشخصات زیرآستانه کاهش یافته می باشد. این رفتار می تواند یک چالش بزرگ برای MOSFET های با K_{gate} بالا برای استفاده در مدارهای منطقی دینامیک باشند. اثر ثابت دی الکتریک بالای گیت روی عملکرد مدار با استفاده از حالت مخلوط مادل شبیه سازی MEDICI مورد مطالعه قرار گرفته است. مدار استفاده شده برای شبیه سازی در شکل ۷ نشان داده شده است. برای شبیه سازی مداری ، حل حامل صفر مانند اطلاعات دوپینگ ، شبکه ، ویژگی های ماده ، اتصال الکتروود ، و اطلاعات مدل برای ترانزیستورهای NMOS ، PMOS از طریق مادل شبیه سازی MEDICI استخراج شده است. عرض ترانزیستورهای $(P1, 2)$ سه برابر ترانزیستورهای $(N2)$ NMOS است تا نونیزمارجین ماکزیمم شود و مشخصات متفاوتی بدست آید $[U]$. پالس ورودی اعمال شده به گیت اینورتر مرحله اول زمان افزایش و سقوط کوچکتتری نسبت به زمان افزایش و سقوط ورودی اینورتر دارد تا تلف توان اتصال کوتاه کمتر و سرعت بیشتری بدست بیاید. از منبع جریان کنترل شونده با جریان (CCCS) استفاده شده است تا تلف انرژی کلیدزنی اندازه گیری شود که دارای بهره واحد است. شکل ۸ مشخصات dc اینورتر را برای گذردهی دی الکتریک گیت های متفاوت نشان می دهد. دیده می شود که با افزایش K_{gate} ، شیب ناحیه گذر (ناحیه بین دوسطح منطقی) بخاطر اثرات بیشتر کانال کوتاه ، افزایش می یابد. این امر موجب کاهش امپدانس خروجی ترانزیستورهای MOS است ، این امر می تواند یک شکل بزرگ برای استفاده از MOSFET ها با K_{gate} بالاتر در مدارهای آنالوگ باشد. شکل ۹ مشخصات تأخیر اینورتر را برای ثابت دی الکتریک های گیت مختلف نشان می دهد. تأخیرها بین گذر ۵۰٪ شکل موج های ورودی - خروجی اینورتر مرحله اول اندازه گیری می شوند. همانطور که دیده می شود ، تأخیر با افزایش K_{gate} کاهش می یابد. که دلیل آن کاهش در خازن پارازیتیکی و افزایش در جریان اشباع (V_t کمتر) دستگاه می باشد. به هر حال، با کاهش ثابت دی الکتریک جداکننده

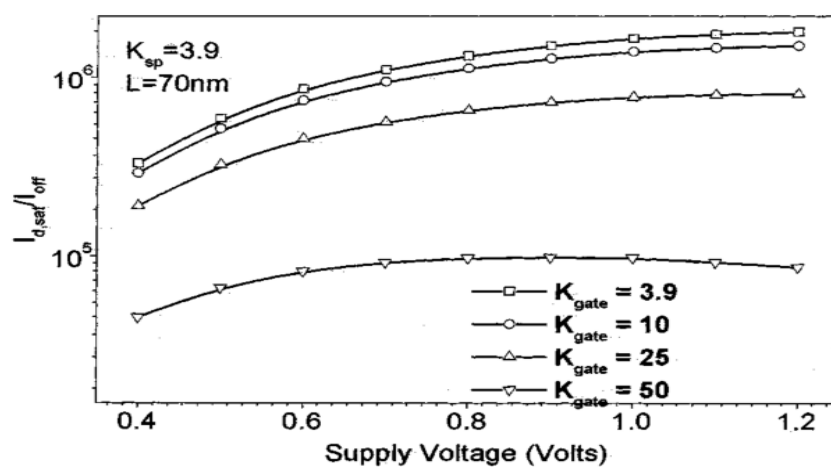
، بخاطر محدودیت بیشتر خطوط میدان در ناحیه گیت و بیرون زدگی کمتر خازن حاشیه ای ، تأخیر اصلاح می شود. شکل ۱۰ تلف انرژی کلی (کلید زنی و انرژی نشتی) مدار را (شکل ۷) برای $Kgate$ های مختلف و منابع ولتاژ متفاوت نشان می دهد. انرژی کلیدزنی بوسیله ضرب بار ذخیره شده بوسیله مرحله دوم (ΔQ) (از طریق ولتاژ ایجاد شده دو سر خازن CI بخاطر جریان کلیدزنی ISW اندازه گیری شده است) در سوئینگ ولتاژ در گره خروجی مرحله اول محاسبه می شود:

$$E_{SWING} = Q\Delta V_{swing}$$

انرژی نشتی دو مؤلفه دارد. یکی ناشی از جریان نشتی جاری شده از پیوندهای دیود معکوس ترانزیستورها واقع بین سورس یا درین و زیرلایه می باشد. این توزیع درحالت کلی بسیار کوچک است و صرفنظر می شود. مؤلفه دیگر انرژی نشتی ناشی از جریان نشتی زیرآستانه ای می باشد. سهم این مؤلفه در ادوات کانال کوتاه بسیار زیادتر است. بنابراین : $Eleakage = I_{sub} V_{DDTC}$ که در آن TC عرض پالس کلاک برحسب ثانیه است. در این مورد ما از یک عرض کلاک $400ps$ استفاده کرده ایم. همانطور که از شکل پیداست ، تلف انرژی کلی در $MOSFET$ ها با $Kgate$ بالاتر کاهش می یابد که دلیل آن خازن بار کمتر است. این رفتار می تواند یک مزیت برای استفاده از $MOSFET$ ها با $Kgate$ بالاتر در مدارهای کم توان باشد. ما همچنین در این مقاله به بهینه سازی دستگاه با دی الکتریک های گیت $High-k$ برای حفظ یک جریان نشتی حالت خاموش با مقادیر $10Na/\mu m$ ، ۱ و ۰.۱ توجه کرده ایم. این امر به وسیله تغییر دوپینگ حداکثر کانال برای $Kgate$ های مختلف بدست می آید. همانطور که در شکل ۱۱ نشان داده شده است برای $Kgate$ های بالاتر ، دوپینگ کانال بیشتری نیاز است تا V_t و مشخصات زیرآستانه ای مشابهی با $MOSFET$ های Sio_2 بدست آید. به هر حال دوپینگ کانال بیشتر در $MOSFET$ های $High-k$ $kgate$ میدان الکتریکی متقاطع را افزایش می دهد و تحرک پذیری سطحی را کاهش می دهد. بنابراین همانطور که در شکل (a) ۱۲ نشان داده شده است ، تأخیر مدار پس از یک $Kgate$ مشخص افزایش می یابد. از این شکل وجود یک $Kgate$ بهینه مشاهده می شود که برای دستیابی به نشتی حالت خاموش مورد نظر به کمک دی الکتریک های گیت $High-k$ لازم می باشد. ما همچنین مشخصات تأخیر را برای نشتی های حالت خاموش متفاوت با مواد دی الکتریک جدا کننده متفاوت ، به دست آورده ایم. این مشخصات در شکل (b) ۱۲ نشان داده شده است. مشاهده می شود که با دیواره های جانبی $Kgate$ پائین ، تأخیر اصلاح می شود ولی تغییر بسیار کمی در $Kgate$ بهینه مشاهده می شود.

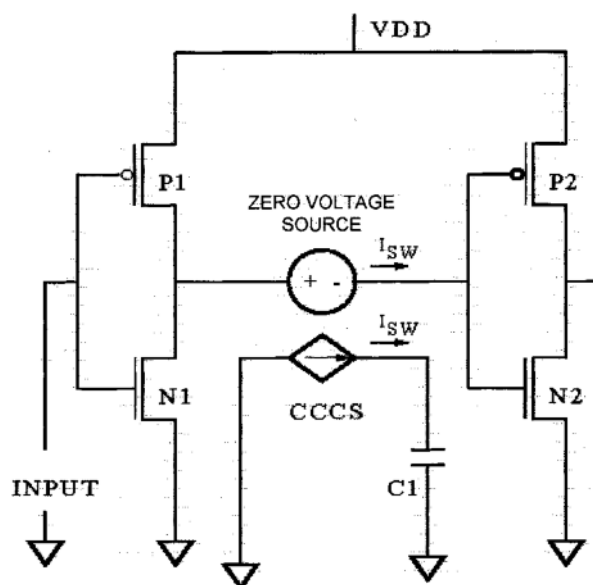


(a)

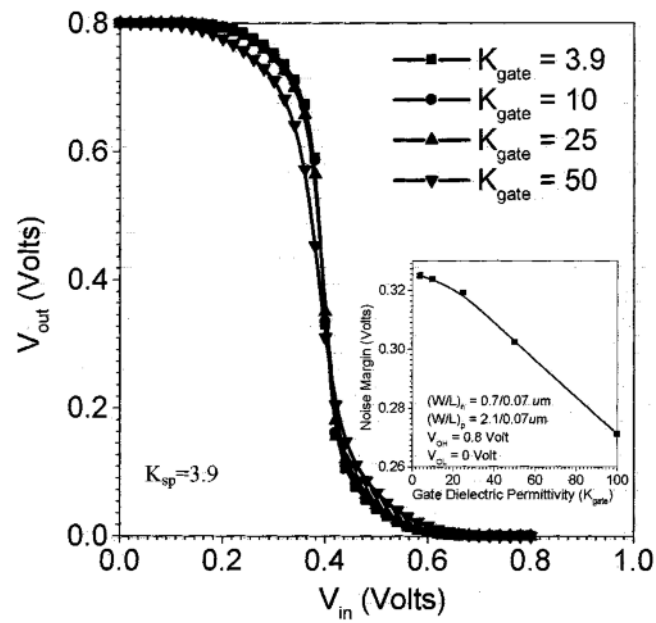


(b)

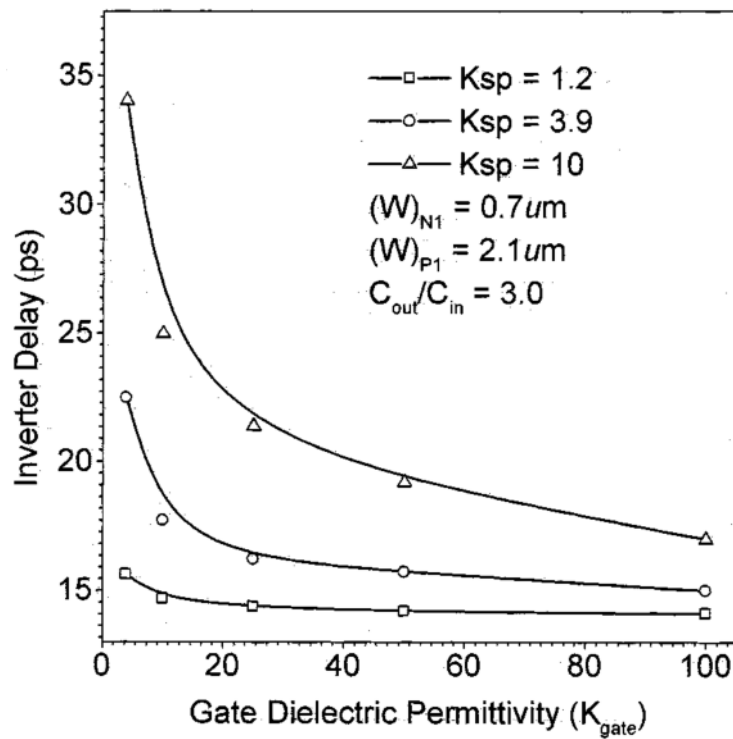
شکل ۶: نمودار ولتاژ آستانه و نسبت جریان اشباع به $IOFF$ بر حسب ولتاژ تغذیه



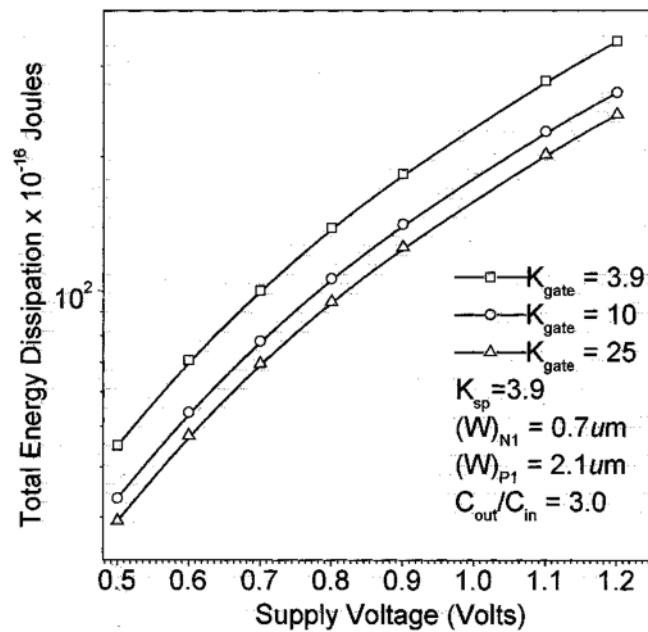
شکل ۷: ساختار *Inverter* استفاده شده در شبیه سازی



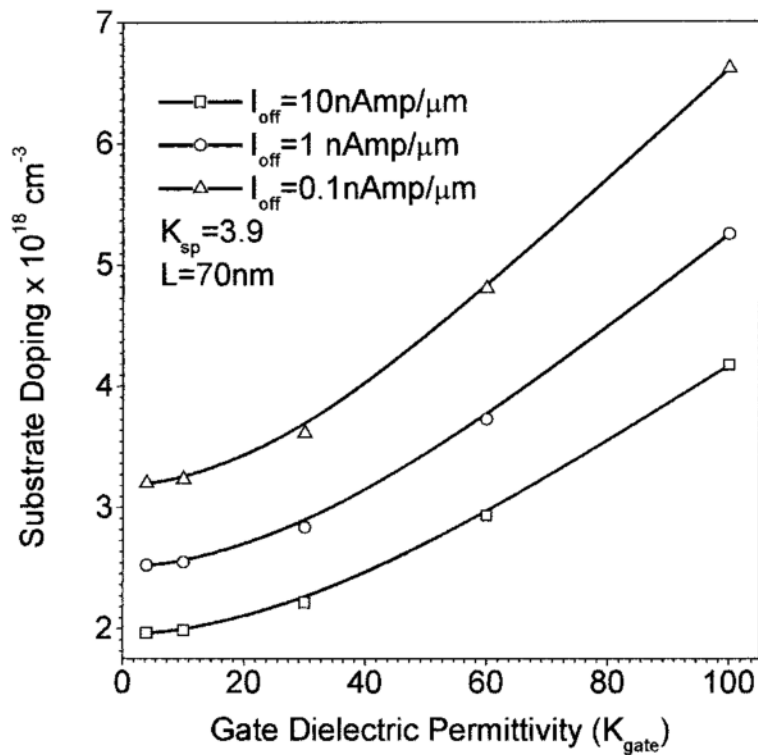
شکل ۸: خروجی DC و نویز مارجین بر حسب ثابت دی الکتریک



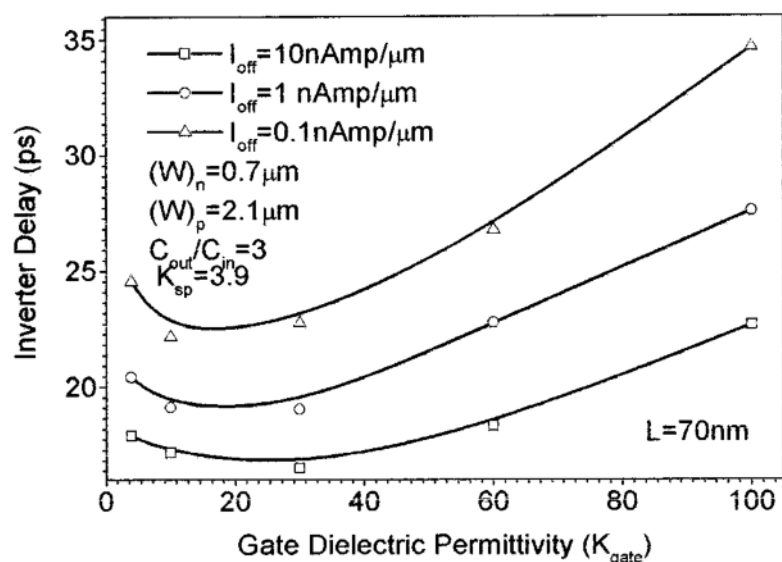
شکل ۹: تأخیر گیت معکوس کننده بر حسب دی الکتریکهای گیت متفاوت



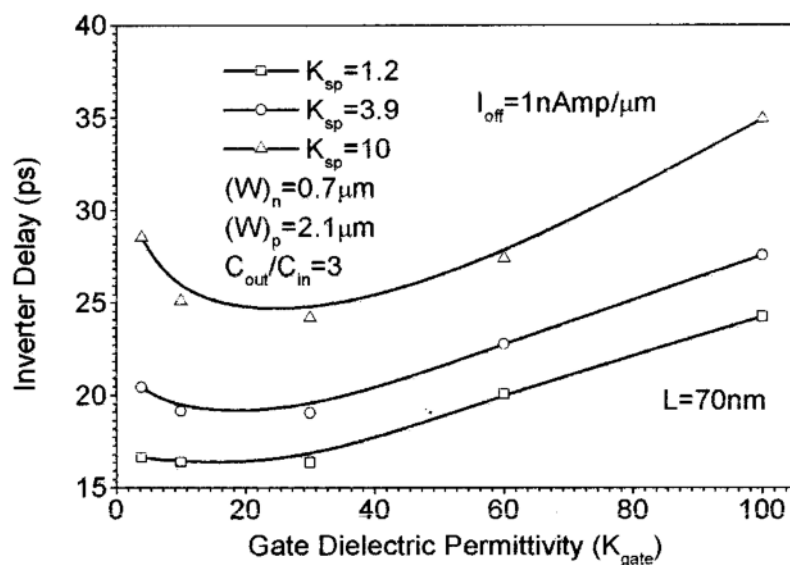
شکل ۱۰: اتلاف انرژی کل بر حسب دی الکتریکهای گیت متفاوت



شکل ۱۱: تغییرات دوپینگ زیرلایه بر حسب ثابت دی الکتریک گیت



(a)



(b)

شکل ۱۲: تأخیر *Inverter* بر حسب نفوذپذیری دی الکتریک گیت

۱۶-۵. نتایج

تأثیر دی الکتریک های گیت *High-k* روی ادوات کانال کوتاه و عملکرد مدار با استفاده از شبیه سازی های گسترده مدار و دستگاه مورد مطالعه قرار گرفته است. مشاهده شده است که کاهش عملکرد کانال کوتاه با استفاده از دی الکتریک های گیت *High-k* بوسیله میدانهای بیرون زدگی از گیت به نواحی سورس / درین پدید می آید. یک برآورد کمی از اثرات میدان بیرون زدگی برای اولین بار با استفاده از اجزای خازنی متفاوت در سیستم های *MOS* بوسیله تکنیک های مونته کارلو فراهم شده است. مشخص شده است که استفاده از دیواره های جانبی با *K* پائین می تواند با کم کردن کاهش سد پتانسیل القاء

شده بوسیله بیرون زدگی میدان برای عایق های گیت ضخیم ، عملکرد کانال کوتاه دستگاه را بهبود بخشد. همچنین این امر از نقطه نظر مداری نیز سودمند است. همچنین نتایج تصدیق می کنند که یک *Kgate* بهینه برای نیازمندیهای جریان خاموش مشخص در تولید تکنولوژی های متفاوت ، وجود دارد.