



دانشگاه آزاد اسلامی - قزوین
دانشکده برق، کامپیوتر و IT

سمینار مکا ترونیک 2

موضوع :

تکنولوژی ساخت قطعات نیمه هادی (VLSI)

استاد:

دکتر فرشاد برازنده

تهیه و نگارش:

بابک سلطانی مجتبی محبوب
(850693035) (84008784)

بهار 1386

فهرست مطالب

| | |
|----|------------------------------------|
| 5 | VLSI چیست؟ |
| 6 | چرا مدارهای مجتمع ؟ |
| 7 | مواد از نظر هدایت الکتریکی |
| 7 | رساناها و نیمه رسانا ها |
| 8 | نیمه هادی های مهم |
| 9 | چرا CMOS |
| 10 | طراحی چینش VLSI |
| 10 | ساخت CMOS |
| 12 | مراحل تولید و ساخت ترانزیستور nMOS |
| 13 | فن آوری CMOS |
| 15 | ❖ فرآیند CMOS چاه n |
| 17 | نمای مقطعی وارونگر |
| 19 | ❖ فرآیند CMOS چاه p |
| 20 | ❖ فرآیند چاه دو قلو |
| 20 | ❖ سیلیکون روی عایق SOI |
| 22 | نظریه اساسی ترانزیستور MOS |
| 22 | MOSFET به عنوان یک سوئیچ |
| 23 | ساختار MOSFET |
| 25 | نمادهای نمایش MOS |
| 25 | اتصالات میانی |
| 27 | ارزیابی ظرفیت اتصالات میانی |
| 28 | مقیاس بندی (Scaling) |
| 29 | مقیاس بندی ترانزیستور |
| 29 | قفل شدگی (Latch Up) |
| 31 | سوئیچ های ترانزیستور MOS |
| 32 | مقایسه بین ترانزیستورهای FET و BJT |
| 32 | مدارهای منطقی BiCMOS |
| 35 | منابع |

فهرست جدولها

- جدول 1: تکامل پیچیدگی منطقی مدارهای مجتمع 5
- جدول 2: روند کاهش مینیمم اندازه نما تاکنون (2007) و پیش بینی آینده (منبع : ITRS 2007) 6
- جدول 3: کاهش برخی از مشخصه ها در طی سال ها برای فرآیند متداول آرایه گیتی CMOS 29

فهرست شکلها

- شکل 1: جدول مندلیف 8
- شکل 2: ساختار تراشه CMOS 10
- شکل 3: روش چوکراسکی برای ساخت شمش های سیلیکونی 11
- شکل 4: برش بلور سیلیکون با تیغه الماس و تبدیل آن به ویفر 11
- شکل 5: ویفرها پرداخت (Lap) می شوند تا سطح آن ها موازی و عاری از دندانه های حاصل از برش باشد 11
- شکل 6: 12
- شکل 7: 12
- شکل 8: 13
- شکل 9: 13
- شکل 10: 14
- شکل 11: 14
- شکل 12: 15
- شکل 13: نماهای مقطعی از فرآیند نمونه CMOS چاه n 16
- شکل 14: ادامه فرآیند نمونه CMOS چاه n؛ ساخت پلی سیلیکون و نفوذ n 17
- شکل 15: ادامه فرآیند نمونه CMOS چاه n ساخت نفوذ p، تماس ها و فلزکاری 17
- شکل 16: نمای مقطعی وارونگر CMOS و اتصالات زیرلایه و چاه در فرآیند چاه n 18
- شکل 17: نمای مقطعی وارونگر با اتصالات زیرلایه و چاه 18
- شکل 18: نمای از بالای وارونگر و مجموعه ماسک های متناظر با آن 19
- شکل 19: نمای از بالا و سطح مقطع فرآیند CMOS چاه دوقلو 20
- شکل 20: نمای مقطعی از وارونگر SOI 21
- شکل 21: عکس میکروسکوپی از فرآیند 220nm IBM SOI 21
- شکل 22: نمای ساده ای از ترانزیستور MOSFET 22
- شکل 23: ساختار MOSFET کانال نوع n افزایشی 23
- شکل 24: چینش ترانزیستور nMOS 23
- شکل 25: طول موثر کانال در nMOS 24

- شکل 26: دیودهای پیوند سورس / درین و اتصال زیرلایه 24
- شکل 27: نمادهای MOS 25
- شکل 28: هندسه اتصالات میانی 26
- شکل 29: پشته 6 لایه فلزی برای فرآیند اینتل $0.18\mu m$ 27
- شکل 30: نمائی از اتصالات میانی در سطوح مختلف 28
- شکل 31: 28
- شکل 32: منشأ پدیده قفل شدگی 29
- شکل 33: مدار معادل پدیده قفل شدگی 30
- شکل 34: حلقه های محافظ 31
- شکل 35: نمای مقطعی از ترانزیستور nMOS 31
- شکل 36: یک مدار وارونگر BiCMOS با چهار MOSFET و دو BJT 33
- شکل 37: نمای مقطعی از ترانزیستورهای npn ، nMOS و pMOS ساخته شده در یک زیرلایه سیلیکون نوع p 34

VLSI چیست؟

VLSI مخفف دو جزء است:

Very Large Scale

مقیاس خیلی بزرگ: مشخصه قدیمی و اولیه مدارها، یا تعداد مولفه هایی که می توان روی تراشه ای مجتمع کرد. کرد. این مشخصه، از مقیاس کوچک شروع شده و افزایش آن همچنان ادامه دارد.

Integration

مجتمع سازی: تکنیکی است که با کمک آن مولفه های انبوه و سیم هایی که آنها را به یکدیگر متصل می کنند در قالب تراشه هایی فشرده و با اطمینان پذیری زیاد و هزینه کم (در صورت تولید انبوه) ساخته می شوند.

VLSI یا مجتمع سازی در مقیاس خیلی بزرگ، حوزه ای است که با اجزای الکترونیکی بسیار بسیار فشرده در مساحتی بسیار کوچک سر و کار دارد. یعنی مدارها روی سطحی در حدود چند میلی متر مربع قرار گرفته اند! این حوزه امکان فوق العاده ای را برای انجام کارهایی که تاکنون مقدور نبوده فراهم کرده است. مدارهای VLSI در همه جا یافت می شوند: کامپیوتر، دوربین دیجیتال، تلفن های همراه، تلویزیون و... عملاً هر جا شما هستید، آن ها نیز هستند. مدارهای مجتمع برای مدت زمانی طولانی مطرح بوده اند. اما رشد فوق العاده سریع این فناوری و قابلیت های آن باعث گسترش کاربرد آن در زندگی شده است. با نگاهی به قانون مور می بینیم که توانایی IC ها بر حسب قدرت محاسباتی، راندمان، مساحت، بارآوری و... رشدی نمایی داشته است و در اثر ترکیب این مزایا است که انسان اکنون می تواند مدارهای مورد نیاز خویش را در IC بگنجاند. مثال هایی از این دست، سیستم ها و مدارهای هوشمندی هستند که در وسایل گوناگونی قرار داده می شوند و مانند کامپیوترهای کوچک عمل می کنند. صنایع الکترونیک در طی دو دهه گذشته رشد چشمگیری داشته اند و این مساله با توجه به سرعت پیشرفت فناوری های ساخت مدارهای مجتمع، طراحی سیستم هایی با مقیاس بزرگ و VLSI انجام پذیرفته است. تعداد کاربردهای مدارهای مجتمع در محاسبات با کارایی بالا، ارتباطات از راه دور و صنایع مصرفی الکترونیک رشد بسیاری یافته اند. نوعاً نیاز به توان محاسباتی بالای این گونه کاربردها (یا به عبارت دیگر صنایع هوشمند) نیروی برای تسریع این پیشرفت ها در حوزه های گوناگون بوده است. سطح مجتمع سازی با تعداد گیت های منطقی در یک تراشه اندازه گیری می شود. جدول 1 تکامل پیچیدگی منطقی مدارهای مجتمع را در طی سه دهه اخیر نشان می دهد.

جدول 1: تکامل پیچیدگی منطقی مدارهای مجتمع

| عصر | سال | پیچیدگی (تعداد بلوکهای منطقی در تراشه) |
|---|------|--|
| تک ترانزیستور | 1958 | <1 |
| واحد منطقی (یک گیت) | 1960 | 1 |
| چند تابعی | 1962 | 2-4 |
| تابع پیچیده | 1964 | 5-20 |
| MSI (مجتمع سازی با مقیاس متوسط) | 1967 | 20-200 |
| LSI (مجتمع سازی با مقیاس بزرگ) | 1972 | 200-2000 |
| VLSI (مجتمع سازی با مقیاس بسیار بزرگ) | 1978 | 2000-20000 |
| ULSI (مجتمع سازی با مقیاس بسیار بسیار بزرگ) | 1989 | 20000-200000 |
| GSI (مجتمع سازی با مقیاس غول آسا) | 1990 | >200000 |

ذکر نکاتی درباره این جدول ضروری است. اولاً مرز این تقسیم بندی ها دقیق و استاندارد نیست ، بلکه تا حد زیادی تقریبی است. ثانياً در بعضی از مراجع ، پیچیدگی بر حسب تعداد ترانزیستورهای قابل مجتمع سازی در یک تراشه به عنوان معیار مقیاس بندی در نظر گرفته شده است. ثالثاً نام های بعد از VLSI دیگر چندان رایج نیستند ، زیرا فناوری مدارهای مجتمع به سرعت در حال پیشرفت است و صاحب نظران به سرعت با کمبود نام مواجه شدند. علاوه بر این ، با پیشرفت چشمگیر این فناوری ، مدارهایی که چند سال پیش تحت نام مقیاس متوسط، بزرگ یا حتی بسیار بزرگ دسته بندی شده بودند در حال حاضر بسیار ساده به نظر می رسند. بنابراین ، دسته بندی های جدول 1 ، به ویژه در ردیف های قدیمیتر ، بیشتر جنبه تاریخی دارند تا فنی و به طور کلی فناوری مدارهای مجتمع با عنوان فناوری VLSI شناخته می شوند.

نکته مهمی که باید به آن اشاره کنیم آن است که پیچیدگی منطقی در تراشه ها رشدی نمایی داشته است. مجتمع سازی یک پارچه ی تعداد زیادی از توابع منطقی روی یک تراشه ، معمولاً به دلایل زیر صورت می پذیرد:

- ♦ مساحت بسیار کم و فشردگی
- ♦ مصرف توان بسیار کم
- ♦ نیاز به آزمون پذیری کم در سطح سیستمی
- ♦ اطمینان پذیری زیاد با توجه به کیفیت بالای اتصالات در تراشه ها
- ♦ سرعت زیاد با توجه به خازن های بار بسیار کوچک در تراشه ها
- ♦ هزینه ساخت کم در تولید انبوه

چرا مدارهای مجتمع ؟

ایده گنجاندن چندین وسیله الکترونیکی در یک زیر لایه مشترک از اواخر دهه 1950 مطرح شد. در بیش از چهار دهه فناوری ، از تولید تراشه هایی شامل چند ترانزیستور به ساخت حافظه هایی با بیش از یک میلیارد ترانزیستور یا ریزپردازنده هایی با چند صد میلیون ترانزیستور انجامیده است. همان طور که گوردون مور (Gordon Moor)، از اینتل (Intel) در سال 1965 پیش بینی کرد ، تعداد ترانزیستورها در تراشه هر یک و نیم تا دو سال ، تقریباً 2 برابر شده مینیمم ابعاد ترانزیستورها از حدود 25um در سال 1965 به حدود 0.09um در سال 2003 رسیده و به زودی به 0.05um (50nm) نیز خواهد رسید.

جدول 2: روند کاهش مینیمم اندازه نما تاکنون (2007) و پیش بینی آینده (منبع: ITRS 2007)

| سال تولید | 1995 | 1997 | 1999 | 2001 | 2004 | 2007 | 2010 | 2013 | 2016 |
|-------------------------|------|------|------|------|------|-------|-------|-------|-------|
| μm | 0.35 | 0.25 | 0.18 | 0.13 | 0.09 | 0.065 | 0.045 | 0.032 | 0.022 |
| مینیمم اندازه نما nm | 350 | 250 | 180 | 130 | 90 | 65 | 45 | 32 | 22 |

ITRS (International Technology Roadmap for Semiconductors) :

گزارشی است که اواخر هر سال توسط مجموعه ای از شرکت ها و مراکز صنعت میکرو الکترونیک منتشر می شود. این گزارش ، بسیار معتبر و مورد استناد بسیاری از مقالات و گزارش های فنی است. در ITRS ، وضعیت گذشته ، حال و

آینده و روند رشد فناوری نیمه هادی مورد بررسی قرار می گیرد. علاوه بر این ، مشکلات و مسایل این فناوری ، شامل مسایل حل شده ، مسایلی که باید در آینده نزدیک حل شوند ، و مسایلی که در دراز مدت قابل حل هستند ، نیز در این گزارش ها بررسی می شوند. (www.itrs.org)

مواد از نظر هدایت الکتریکی

به طور کلی دو نوع ذره بنیادین در فیزیک الکترونیک وجود دارد: الکترونها با بار منفی ، پروتونها با بار مثبت . در یک اتم خنثی تعداد آنها با هم مساویست. الکترونها در پوسته هایی به دور هسته می گردند، پروتونها در داخل هسته توسط نیروی هسته ای به هم مربوط شده اند. در فیزیک الکترونیک ، الکترونهای آخرین پوسته (الکترونهای ظرفیت) دارای اهمیت ویژه اند. معیار و ملاک در هدایت الکتریکی ، الکترونهای ظرفیتی است که به هسته تقید ندارند. مواد از نظر هدایت الکتریکی به 4 رده تقسیم می شوند:

| | | | |
|---------------|------------------|-----------|-------------------------|
| Semiconductor | 2- نیمه رسانا ها | Conductor | 1- رسانا ها |
| | 4- ابر رسانا ها | Insulator | 3- نا رسانا ها (عایقها) |

رساناها و نیمه رساناها

1- رساناها Conductors

در رساناها الکترونهای باند والانس هیچگونه وابستگی به هسته اتم ندارند و آزادانه در بین اتمها حرکت می کنند. به این ترتیب تعداد زیادی الکترون آزاد داریم. تعداد الکترونهای آزاد در واحد حجم برای فلزات بسیار زیاد و در حد عدد آووگادرو است. در نتیجه هدایت الکتریکی شان بسیار بالاست. به دلیل تعداد الکترونهای آزاد بسیار زیاد در فلز می توان گفت الکترونها تشکیل دریای الکترونی را می دهند.

2- نیمه رساناها Semiconductor

نیمه هادیها موادی هستند که از نظر الکتریکی هدایتشان بین رسانا و عایقها قرار می گیرد. مشخصه ممتاز آنها نسبت به دو نوع دیگر در این است که میزان قابلیت هدایت الکتریکی آنها قابل کنترل است و این اساس ساخت کلیه قطعات الکترونیکی نظیر دیودها ، ترانزیستورها ، IC ها و... است. به سه روش می توانیم هدایت الکتریکی را کنترل کنیم :

- 1- تغییر درجه حرارت
- 2- تحریک نوری
- 3- تزریق ناخالصی

مهمترین روش تغییر هدایت الکتریکی **روش سوم** است. این روش اساس ساخت بیش از 95٪ قطعات الکترونیکی است.

نیمه هادی های مهم

خالص

Si: عنصری چهار ظرفیتی در گروه چهارم جدول تناوبی که به وفور در طبیعت یافت می شود. تکنولوژی خالص سازی آن بسیار پیشرفته است. (شکل 1)

Ge: دیگر نیمه هادی چهار ظرفیتی گروه چهارم جدول تناوبی که کاربرد کمتری دارد و تکنولوژی خالص سازی مانند سیلیکون بسیار پیشرفته است. سطح سوئیچینگ برای سیلیکون تقریباً 0.7 V و برای ژرمانیم 0.2 V است. به این ترتیب بر حسب اینکه دامنه ولتاژ ورودی چقدر باشد نوع نیمه هادی ای که در ساخت سوئیچ به کار می رود مشخص می شود. (شکل 1)

مرکب

GaAs: یکی از پیشرفته ترین نیمه هادی هاست. خواص منحصر به فردی دارد که در ساخت MOSFET ها، همچنین IC های High Speed و سوئیچهای سریع کاربرد فراوان دارد. بسیار گران قیمت است و کاربردش بیشتر در صنایع نظامی و فضایی است.

GaP و GaInP: بیشتر در ساخت دیودهای نوری (LED ها) کاربرد دارند. این دو نیمه هادی می توانند طول موجهایی ایجاد کنند که در محدوده نور مرئی قرار گیرد که با چشم قابل مشاهده اند.

| Group | 1 | 2 | | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 |
|--------------|----------|----------|----|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|------------|------------|------------|------------|------------|------------|------------|
| Period | | | | | | | | | | | | | | | | | | | |
| 1 | 1 H | | | | | | | | | | | | | | | | | | 2 He |
| 2 | 3 Li | 4 Be | | | | | | | | | | | | 5 B | 6 C | 7 N | 8 O | 9 F | 10 Ne |
| 3 | 11 Na | 12 Mg | | | | | | | | | | | | 13 Al | 14 Si | 15 P | 16 S | 17 Cl | 18 Ar |
| 4 | 19 K | 20 Ca | | 21 Sc | 22 Ti | 23 V | 24 Cr | 25 Mn | 26 Fe | 27 Co | 28 Ni | 29 Cu | 30 Zn | 31 Ga | 32 Ge | 33 As | 34 Se | 35 Br | 36 Kr |
| 5 | 37 Rb | 38 Sr | | 39 Y | 40 Zr | 41 Nb | 42 Mo | 43 Tc | 44 Ru | 45 Rh | 46 Pd | 47 Ag | 48 Cd | 49 In | 50 Sn | 51 Sb | 52 Te | 53 I | 54 Xe |
| 6 | 55 Cs | 56 Ba | * | 71 Lu | 72 Hf | 73 Ta | 74 W | 75 Re | 76 Os | 77 Ir | 78 Pt | 79 Au | 80 Hg | 81 Tl | 82 Pb | 83 Bi | 84 Po | 85 At | 86 Rn |
| 7 | 87 Fr | 88 Ra | ** | 103 Lr | 104 Rf | 105 Db | 106 Sg | 107 Bh | 108 Hs | 109 Mt | 110 Ds | 111 Rg | 112 Uub | 113 Uut | 114 Uuq | 115 Uup | 116 Uuh | 117 Uus | 118 Uuo |
| *Lanthanoids | * | | | 57 La | 58 Ce | 59 Pr | 60 Nd | 61 Pm | 62 Sm | 63 Eu | 64 Gd | 65 Tb | 66 Dy | 67 Ho | 68 Er | 69 Tm | 70 Yb | | |
| **Actinoids | ** | | | 89 Ac | 90 Th | 91 Pa | 92 U | 93 Np | 94 Pu | 95 Am | 96 Cm | 97 Bk | 98 Cf | 99 Es | 100 Fm | 101 Md | 102 No | | |

شکل 1: جدول مندلیف

چرا CMOS ؟

فناوری اکسید-فلز-نیمه هادی مکمل یا CMOS (Complementary Metal Oxide Semiconductor) یک فناوری برجسته در صنعت جهانی مدارهای مجتمع (IC) است و به عنوان محصولاتی با اتلاف توان کم و چگالی زیاد و وسیله سوییچ کنندگی نسبتاً ایده آل شناخته شده است. این ویژگیها سبب شده که این مدارها دارای محاسن متمایزی نسبت به دیگر فناوری ها همچون nMOS و GaAs (گا لیم آرسناید) باشند. افزون بر این با اضافه کردن ترانزیستورهای دوقطبی (Bipolar) می توانیم مدارها را به سوی فرآیند BiCMOS سوق دهیم.

فناوری CMOS نخستین بار توسط لیلنفیلد (J. Lilienfeld) در اوایل سال 1925 به کارگرفته شد که بعداً با نام MOS اثر میدان (Field effect) شناخته شد. سپس نسخه بهبود یافته ای-شبه به فناوری CMOS موجود- در سال 1935 توسط اسکارهیل (Oscar Heil) پیشنهاد شد. به سبب کمبود مواد خام در طی جنگ جهانی اول، پیشرفت صنعت CMOS تا توجه دوباره به آن در سال 1965، به حالت تعلیق درآمد. حتی از آن پس، عمومی شدن CMOS چندان مورد توجه قرار نگرفت. تا اینکه در سال 1970 تنها دو اختراع به کمک فناوری CMOS توسط ویمر (Weimer) و ونتس (Wantes) برای کاربردهای تجاری مورد استفاده قرار گرفت. پیش از این، پیاده سازی های ممکن به شکل فناوری ترانزیستوری با لایه نازک (thin-film) بودند، درحالی که فناوری اخیر بر پایه مفهوم CMOS استوار بود.

در 15 سال گذشته، پیشرفتهای سریعی در حوزه میکروالکترونیک پدید آمده است. تعداد ترانزیستورهای مدار ریز-تراشه ای به اندازه 5mm، از 10 به بیش از چند صد میلیون رسیده و بدین ترتیب توان تراشه رقابتی را با تصور بشرآغار کرده است. هر تراشه متشکل از چندین لایه گوناگون است که هر یک طی فرآیند خاصی روی لایه های دیگر و روی یک ویفر سیلیکونی تشکیل می شود. این ویفرها تقریباً 0.5 میلی متر ضخامت دارند و کاملاً مسطح و صیقلی اند. تعداد تراشه های پردازش شده در هر ویفر، هم به اندازه ویفر و هم به پیچیدگی مدار بستگی دارد و در مواردی بالغ بر 500 تراشه در ویفر می گردد.

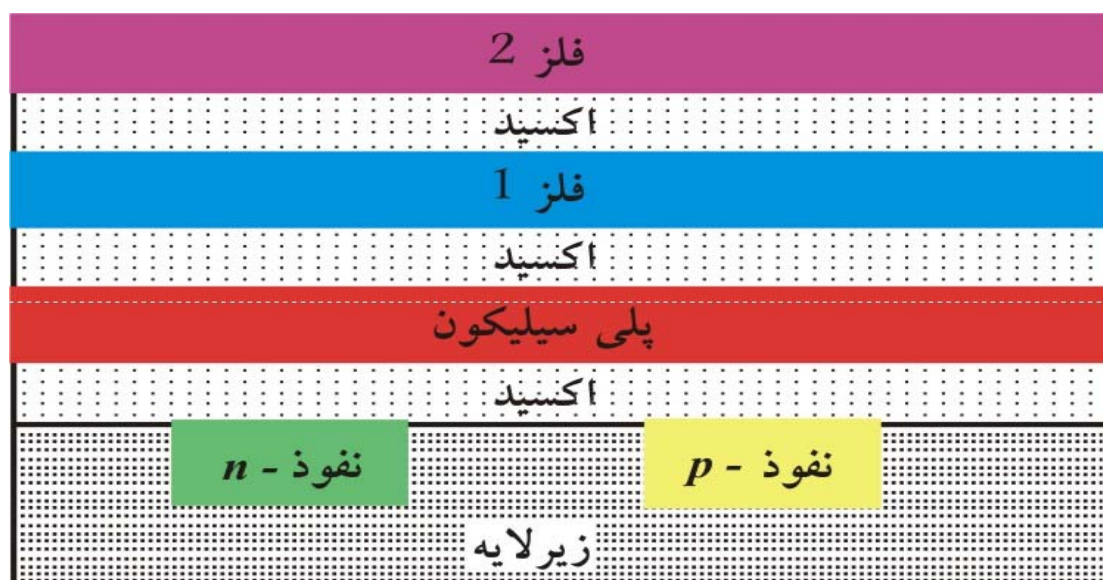
ویفرها در دسته های 50 تا 300 تایی در یک زمان پردازش می شوند لیکن ممکن است چندین هفته برای تکمیل هر دسته، بسته به پیچیدگی و ریزه کاری های طراحی، به طول انجامد.

گام مشخص بعدی، اعمال فناوری CMOS به مدارهای آنالوگ و دیجیتال بود. هزینه کم ساخت و قرار دادن توام مدارهای آنالوگ و دیجیتال در هر تراشه، هزینه های بسته بندی فناوری CMOS را کاهش داده است. سیلیکون یک ماده نیمه هادی 4 ظرفیتی است که با مقادیر اندکی ناخالصی از دیگر عناصر 5 یا 3 ظرفیتی در فرآیندی به نام آلاینش (Doping) تغلیظ می شود. به طور مثال، بور یک ناخالصی از نوع مثبت p و یا فسفر یک ناخالصی از نوع منفی n می باشند.

طراحی چینش VLSI

طراحی چینش VLSI شامل تولید ماسک های مناسبی است که اندازه و موقعیت قطعات مدار و اتصالات لازم را تعریف می کنند. برای سهولت در طراحی و آزمون ، از رنگ های مختلفی برای هر ماسک جداگانه استفاده می شود . اصطلاح CMOS به ساختار ساندویچی شکلی از لایه های مختلف که با اکسید عایق از یکدیگر جدا شده اند ، اشاره می کند. (شکل 2)

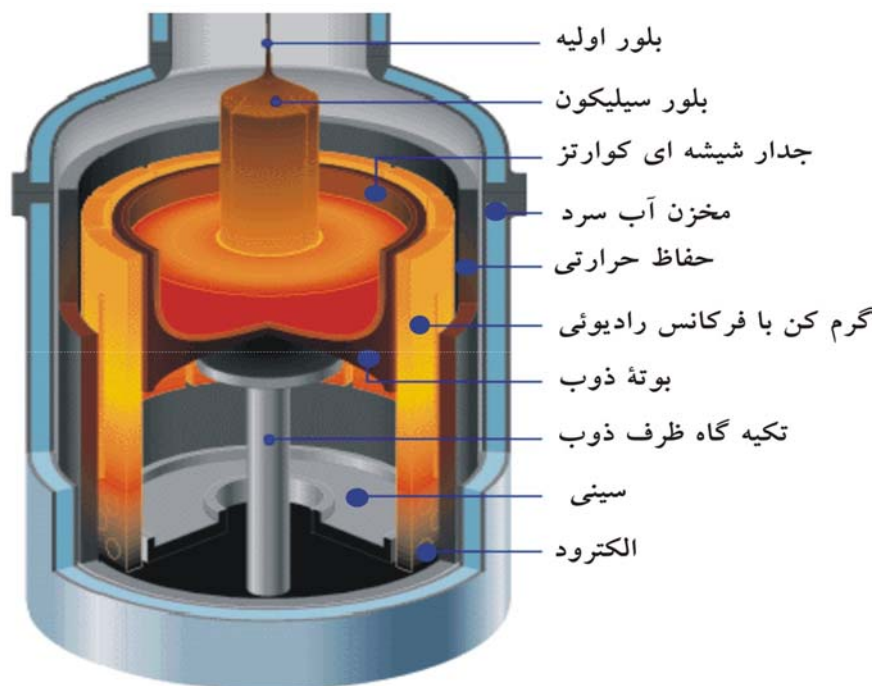
ریز تراشه شامل نمونه های مختلفی از این ساختار با لایه های اضافی در بالای آن است. در برخی جاها ، لایه های مختلف ، از طریق سوراخ های ایجاد شده در عایق ، به یکدیگر متصل می شوند. ولتاژ در لایه هادی بر توزیع ناخالصی ها در نیمه هادی زیرین آن تاثیرگذار است و بدین ترتیب ، ترانزیستور اثر میدان یا FET شکل می گیرد. سیلیکون یک نیمه هادی است و نیمه هادی بودن به معنای آن است که نه کاملاً عایق است و نه مانند هادی ها جریان الکتریکی را به خوبی عبور می دهد. اکنون بیایید به فرآیند ساخت CMOS نگاهی بیافکنیم.



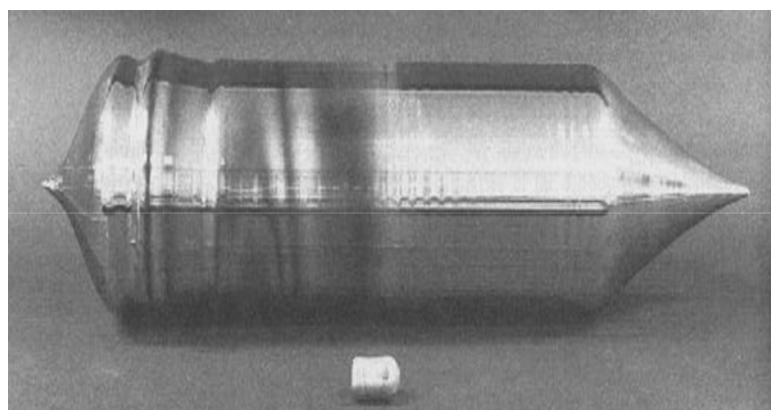
شکل 2: ساختار تراشه CMOS

ساخت CMOS

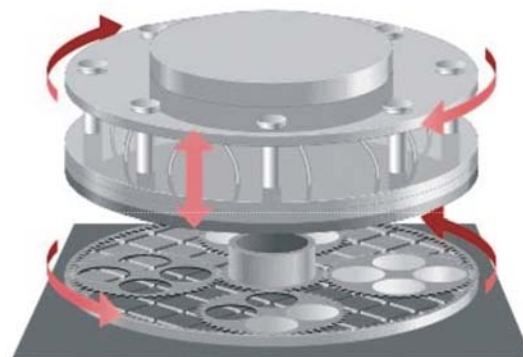
ماده خام اصلی در ساخت تراشه ها ، ویفر یا قرصی از سیلیکون نام دارد. هر قرص معمولاً 200 mm (اخیراً 300 mm) قطر و کمتر از 1 mm ضخامت دارد. نخستین مرحله، رشد کریستال واحد از سیلیکون نام دارد و معمولاً این رشد به روش چوکراسکی (Czochralski) انجام می شود به طوری که یک بلور از بوته ذوب حاوی سیلیکون چند بلوره مذاب خالص گرفته می شود. قطر بلور به سرعت خارج شدن بستگی دارد. (شکل 3) پس از رشد ، بلور سیلیکون به وسیله تیغه های مدوری با لبه الماس به ویفرها برش زده می شود. (شکل 4) به دنبال این عمل حداقل یکی از سطوح طوری صیقل داده می شود که در نهایت یک سطح تخت آینه ای بدون خراشیدگی پدید آید. همه فرآیندهای متوالی بعدی روی این سطح انجام می گیرند. ناخالصی های شیمیایی روی آن قرار می - گیرند تا فرآیندهای الکتریکی را به وجود آورند و در نهایت ما دارای یک ویفر کامل خواهیم بود. مستطیل های کوچکی که در سطح ویفر دیده می شوند ، هر یک تراشه ای مجزا هستند. جالب است که ناحیه فعال الکتریکی تنها حدود 1٪ از ضخامت ویفر عمق دارد .



شکل 3: روش چوکراسکی برای ساخت شمش های سیلیکونی



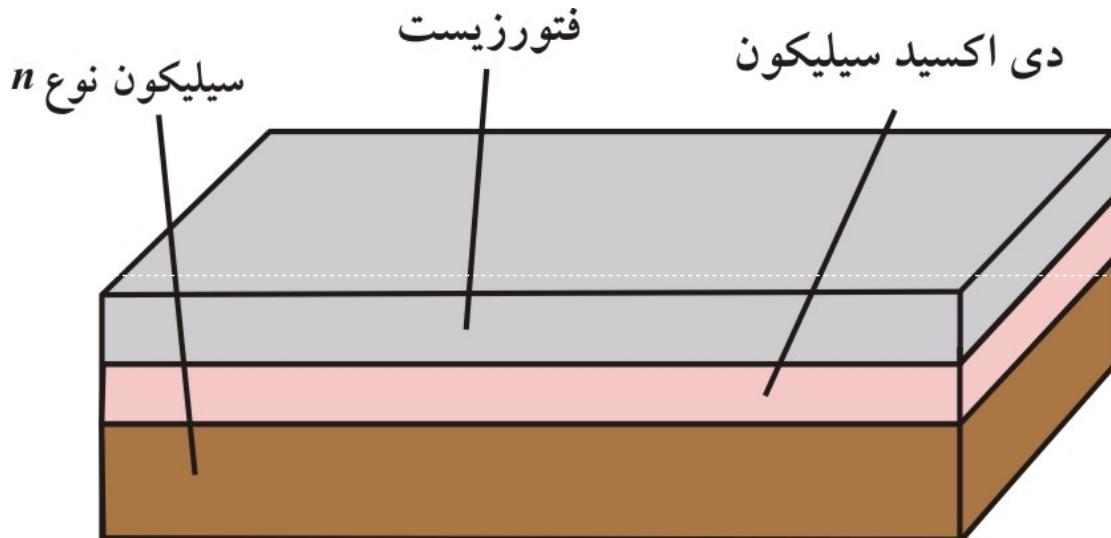
شکل 4: برش بلور سیلیکون با تیغه الماس و تبدیل آن به ویفر



شکل 5: ویفرها پرداخت (Lap) می شوند تا سطح آن ها موازی و عاری از دندانهای حاصل از برش باشد.

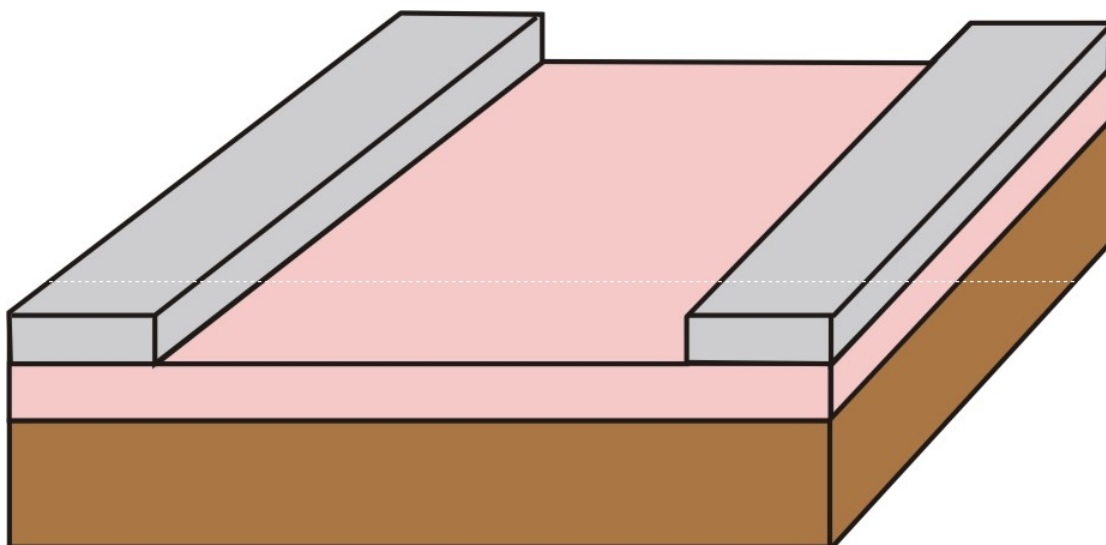
مراحل تولید و ساخت ترازیستور nMOS

1- فضایی از کل ویفر برای هر ریز تراشه در نظر گرفته می شود. از این جا ، مجموعه ای از ماسکهای نوری (photo-mask) شیشه ای ساخته می شوند که هر یک بیانگر ناحیه ای کوچک و دقیق برای آرایش لازم و نیز اتصال درونی می باشند. یک پوسته عایق از اکسید سیلیکون در سطح ویفر شکل می گیرد که بعدا توسط ماده ای حساس به نور به نام فتورزیست ، پوشانده می شود.



شکل 6

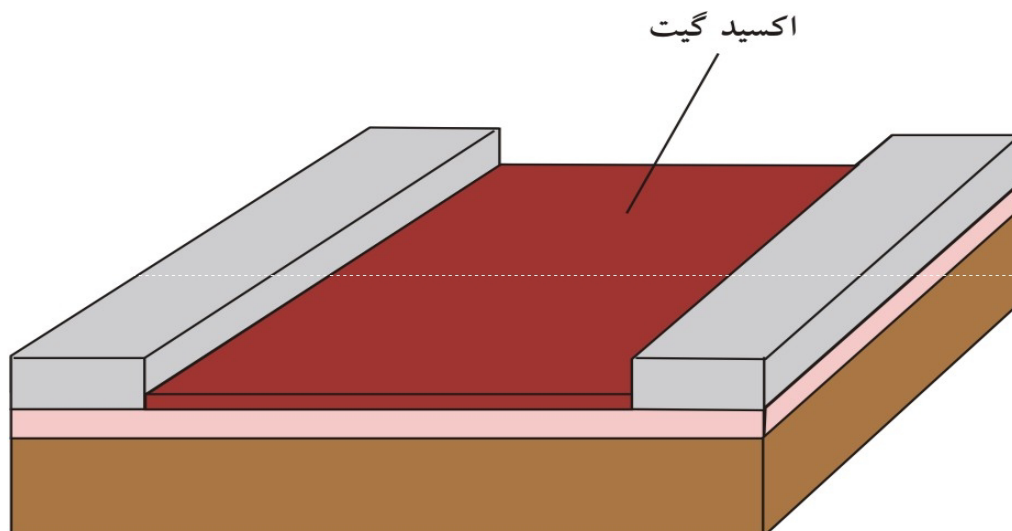
2- یک ماسک بالای فتورزیست قرار داده می شود که تحت تاثیر اشعه ماورای بنفش (UV) قرار می گیرد. در نتیجه ناحیه هایی از فتورزیست که توسط ماسک محافظت نشده اند، تحت تاثیر قرار می گیرند و سخت میشوند. سپس با محلولی ، بخش هایی از فتورزیست که در مجاورت اشعه نبوده به همراه اکسید سیلیکون زیر آن زدوده (etched) و پاک می شوند. الگوبندی لایه های دیگر نظیر پلی سیلیکون ، فلز و اکسید سیلیکون سایر مراحل به شکل دلخواه ، به همین روش و با استفاده از فتورزیست انجام می گیرد .



شکل 7

3- سپس و یفر در یک کوره یا بوتۀ اکسایش (Oxidation Furnace) قرار داده می شود و اکسید نازکی (gate oxide) در ناحیه زدوده شده ، رشد داده می شود. ویفرهای سیلیکونی در محیط اکسیژن یا بخار آب در یک کوره شیشه ای از کوارتز (quartz glass) قرار داده می شوند و لایه نازکی از اکسید سیلیکون یا SiO_2 در سطح سیلیکونی رشد می یابد.

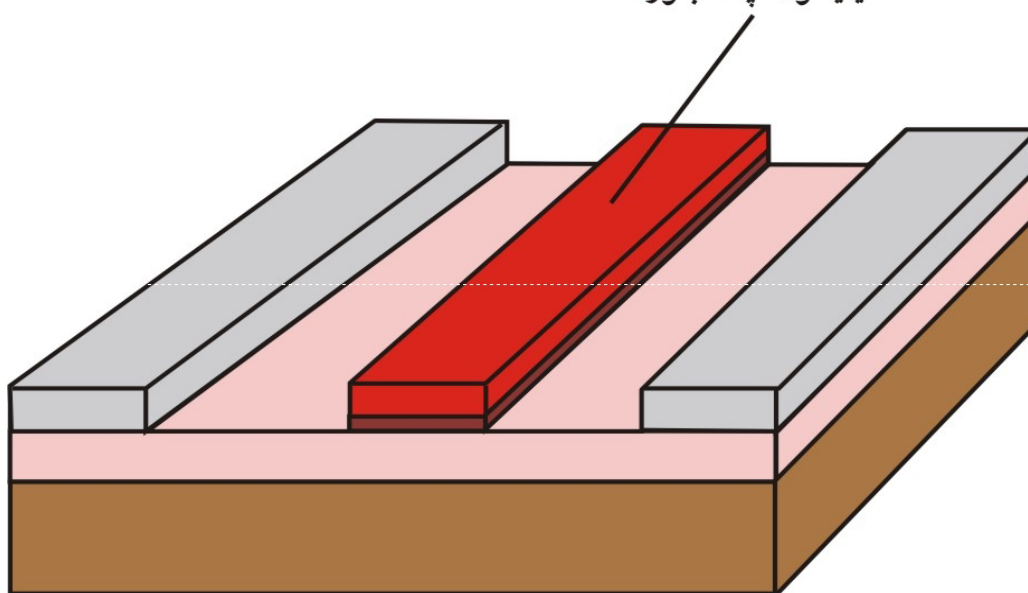
اکسید برای عناصر آلیشی چون فسفر و بُر غیر قابل نفوذ است و آلیش محلی سیلیکون با زدودن نواحی مشخصی از لایه سطح اکسید امکان پذیر می گردد. همچنین اکسید به سبب خواص دی الکتریک یا عایقش در فناوری MOS ، حیاتی است. بدین مقصود اکسید (که در اینجا اکسید گیت نام دارد) حدود 0.002 میکرون (2 نانومتر) ضخامت خواهد داشت.



شکل 8

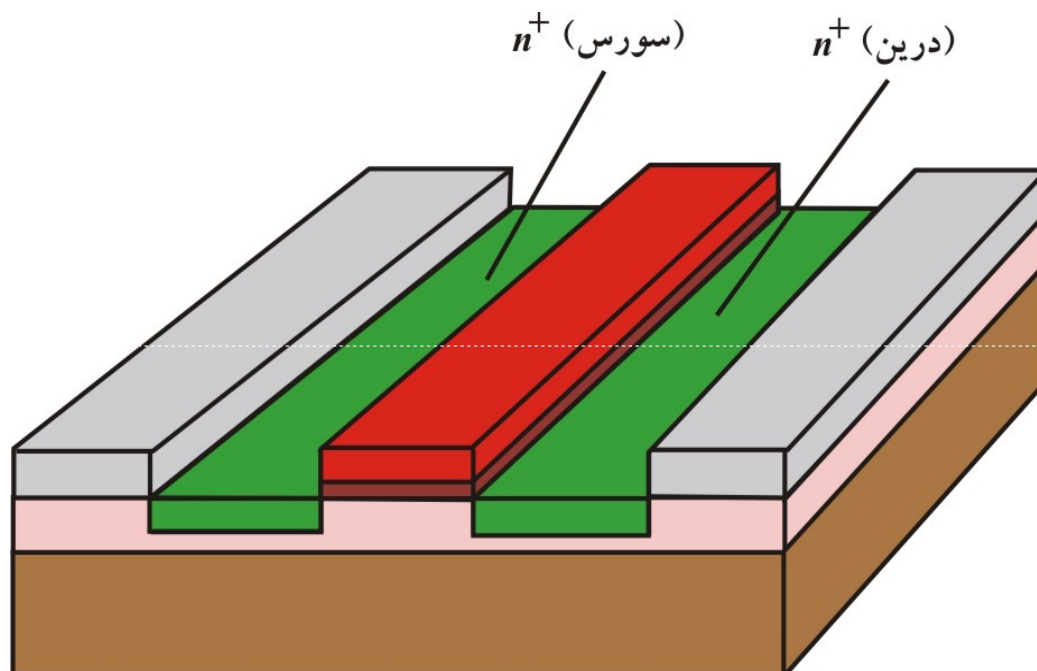
4- لایه ای از سیلیکون چند بلوره (به نام پلی سیلیکون) روی تمام ویفر ته نشین می شود. این لایه سپس به شکل مورد نظر الگوبندی می شود تا گیت ترانزیستور را تشکیل دهد.

سیلیکون چند بلوره



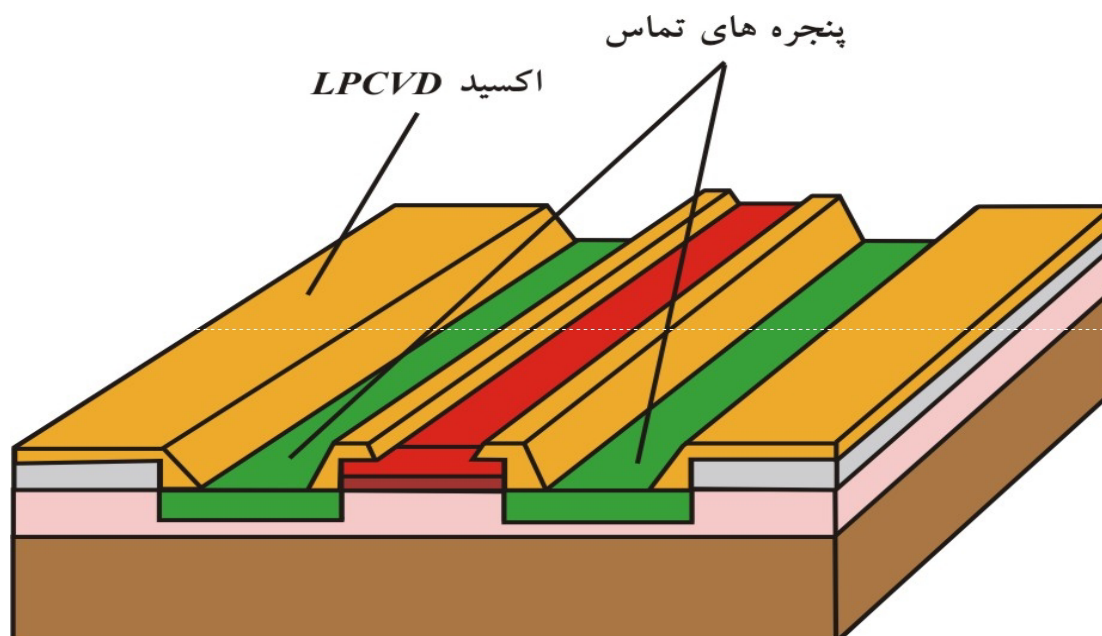
شکل 9

5- یک ناخالصی از نوع n به نواحی باز ، کشت شده به ویفرها نفوذ داده می شود. در قسمت هایی از ویفرکه با اکسید و پلی سیلیکون پوشانده شده اند ، نفوذ ناخالصی انجام نمی گیرد.



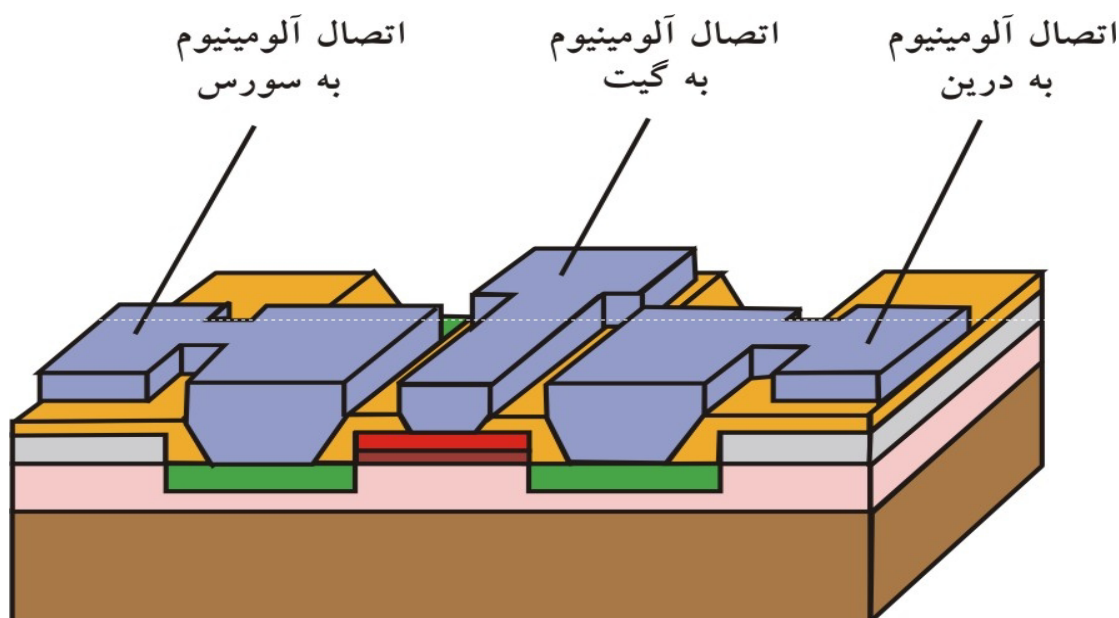
شکل 10

6- لایه ای از اکسید به روش LPCVD (Low Pressure Chemical Vapor Deposition) یا رسوب بخار شیمیایی با فشار کم ، روی ویفر رسوب داده می شود و پنجره های تماس (Contact Window) برای ترانزیستور باز گذاشته می شوند . این فرایند نوعا در کوره ای با دمای تحت فشاری حول 200 میلی تور (milli Torr) انجام می گیرد.



شکل 11

7- لایه ای از آلومینیوم روی تمامی ویفر والگوها رسوب داده می شود و برای تشکیل لایه های میان ارتباطی و اتصالات به ترانزیستور ، به شکل مورد نظر الگوبندی می شوند. این فرآیند ، یک ترا نزیستور MOS کانال n را تشکیل می دهد که یکی از عناصر مهم عملیاتی در هر مدار پیشرفته الکترونیکی می باشد.



شکل 12

فناوری CMOS

فن آوری CMOS ، فن آوری پیشگام سیستمهای VLSI است. فن آوری CMOS دارای توان ایستای ناچیز است و حاصل ضرب توان- تاخیر آن در مقایسه با فن آوری های دوقطبی و nMOS (با قوانین طراحی یکسان) ، کوچکتر است. چهار فن آوری اصلی CMOS عبارتند از:

- ❖ فرآیند چاه n (n-well process)
- ❖ فرآیند چاه p (p-well process)
- ❖ فرآیند چاه دوقلو (Twin-well process)
- ❖ فرآیند SOI یا سیلیکون روی عایق

همچنین با افزودن ترانزیستورهای دوقطبی می توان به حوزه ای از فرآیندهای BiCMOS دست یافت.

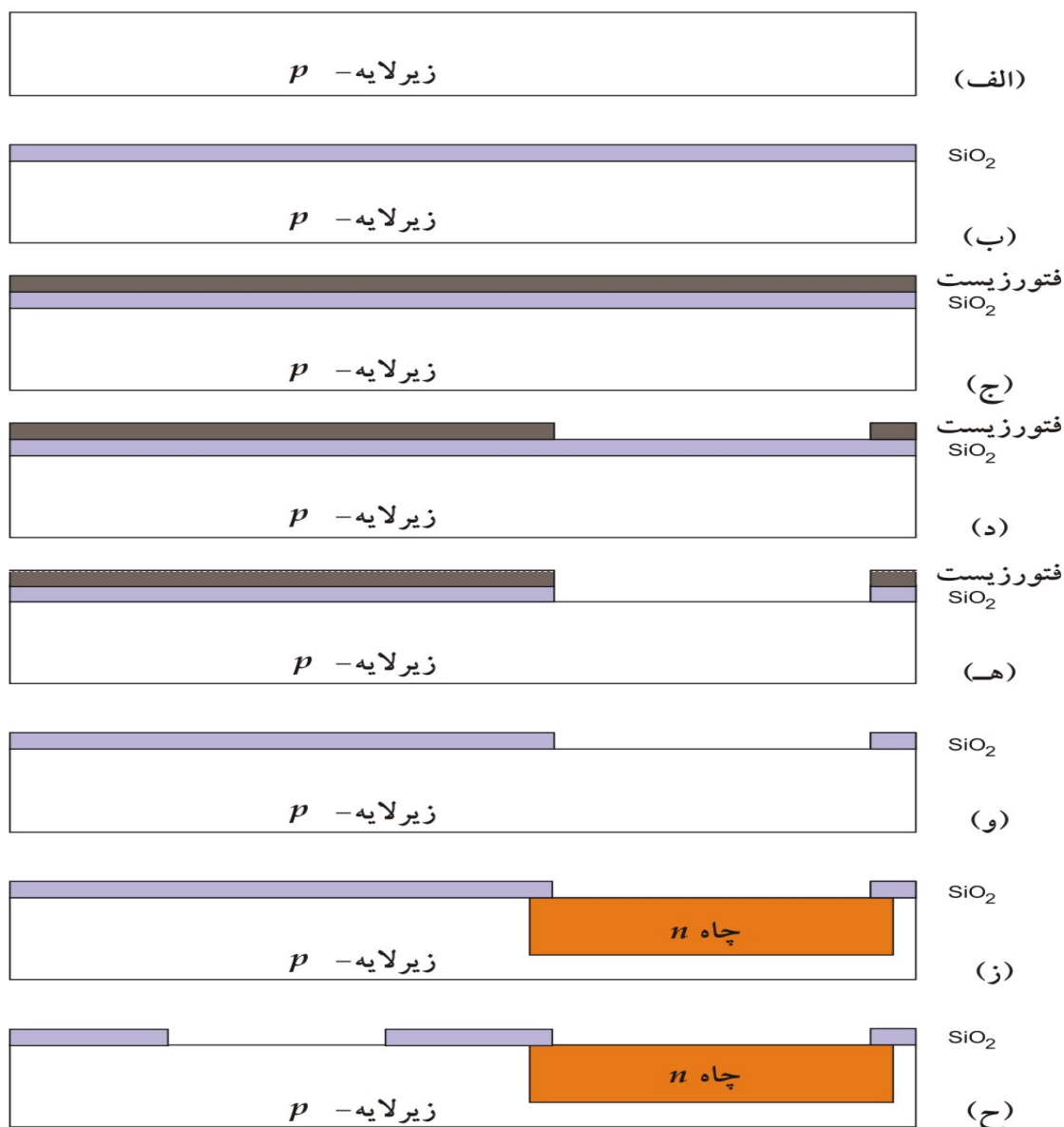
فرآیند CMOS چاه n

روش متداول ساخت CMOS چاه n با ایجاد زیر لایه ی نوع p با ناخالصی کم ، ایجاد چاه نوع n برای ترانزیستورهای نوع p و ساخت ترانزیستور کانال n در زیر لایه ی p آغاز می شود. مراحل اصلی این فرآیند در شکل ها نشان داده شده است. این شکل ها نماهای مقطعی از ویفر را پس از هر مرحله از پردازش نشان می دهند.

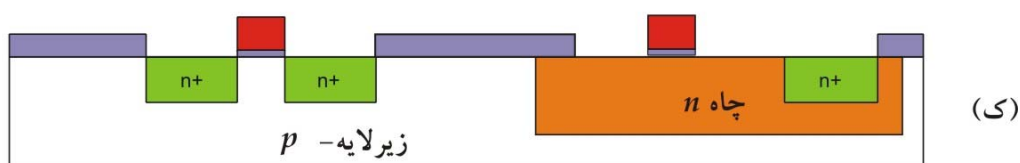
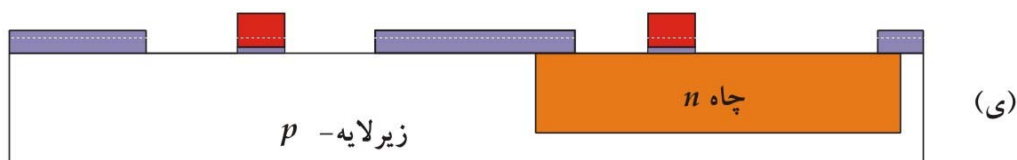
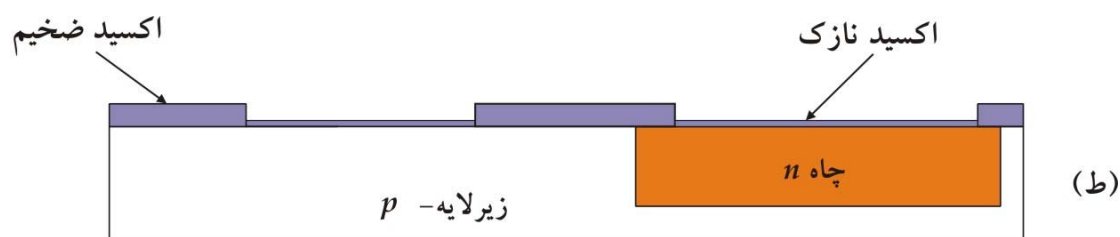
تشکیل چاه n ، به افزودن مقادیر کافی از آلاینده های گروه 5 عناصر جدول تناوبی به زیر لایه ی نوع p ، به نوع n نیازمند است. برای مشخص ساختن این که کدام نواحی باید چاه n باشند ، لازم است لایه ی محافظی از اکسید بر روی کل ویفر رشد داده شود. در جاهایی که می خواهیم چاه تشکیل شود ، این لایه را برمی داریم. آن گاه آلاینده های

نوع n را می افزاییم تا چاه ها درجایی که اکسید وجود ندارد ، تشکیل شوند. باقی جزئیات فرآیند مشابه گام هایی است که در ساخت nMOS به آنها اشاره کردیم. (شکل های 13 ، 14 و 15)

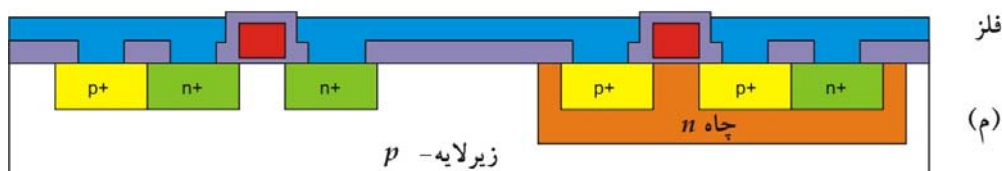
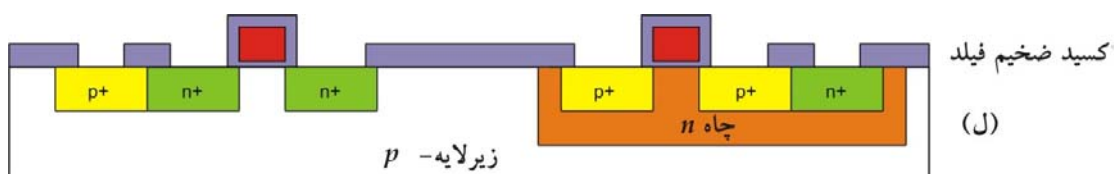
جزئیات ساخت در فرآیندهای پیشرفته ، به دلیل آرایش های پیچیده ترحول و حوش کانال ترانزیستور و دیگر ویژگیها ، به مهارت بیشتری در ساخت نیاز دارد. فرآیندهای پیشرفته امروزی ، می توانند تا 9 لایه ی فلزی را به کار برند به طوری که گام های فلزکاری و ایجاد تماس ، در هر مرحله باید تکرار شوند. به هرحال ، ساخت تراشه ، کار دشوار و پیچیده ای است و در سراسر دنیا سازندگان معدودی کار ساخت تراشه را بر عهده دارند.



شکل 13: نماهای مقطعی از فرآیند نمونه CMOS چاه n



شکل 14: ادامه فرآیند نمونه CMOS چاه n؛ ساخت پلی سیلیکون و نفوذ n

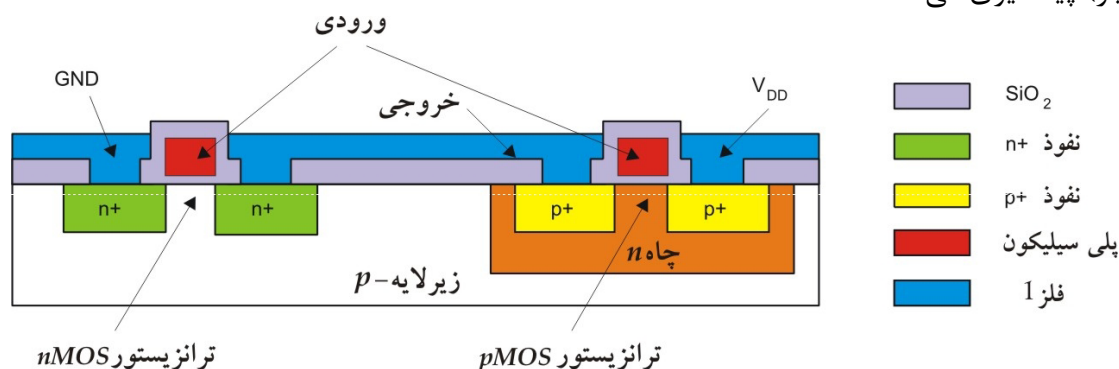


شکل 15: ادامه فرآیند نمونه CMOS چاه n ساخت نفوذ p، تماس ها و فلزکاری

نمای مقطعی وارونگر

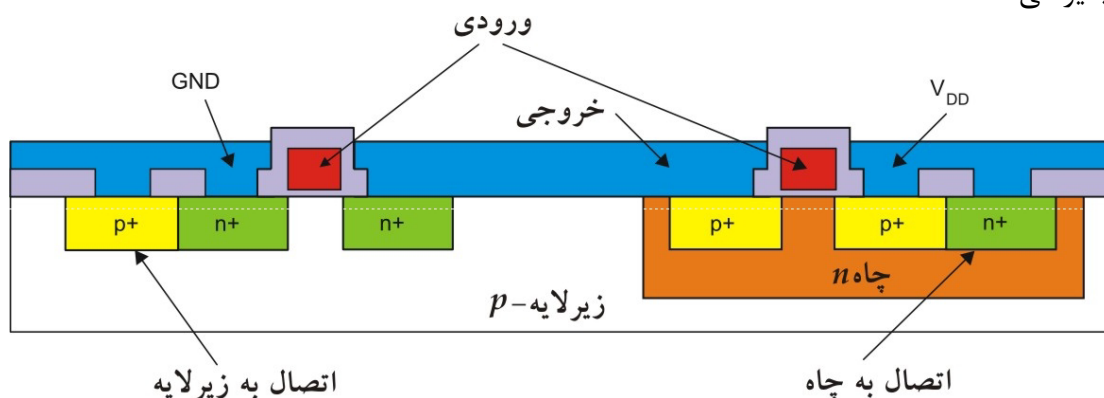
شکل 16 نمای مقطعی از وارونگر را نشان می دهد. در این شکل، وارونگر بر روی یک زیرلایه از نوع p ساخته شده است. ترانزیستور pMOS به بدنه نوع n نیاز دارد. بنابراین، یک چاه n باید در زیرلایه نفوذ داده شود. همچنین می توان فرآیند CMOS را با زیرلایه نوع n و چاه های p- برای داشتن ترانزیستورهای nMOS - طراحی کرد. ترانزیستور nMOS دارای نواحی سورس و درین از نوع n است و گیت پلی سیلیکون آن بر روی لایه نازکی از اکسید سیلیکون SiO_2 که اکسید گیت هم نامیده می شود، قرار دارد. ترانزیستور pMOS دارای ساختار مشابهی است اما نواحی سورس و درین آن از نوع p می باشد. گیت های پلی سیلیکون هر دو ترانزیستور به یکدیگر متصل شده و ورودی وارونگر را تشکیل داده اند. سورس ترانزیستور nMOS به خط فلزی زمین و سورس ترانزیستور

pMOS به خط فلزی V_{DD} متصل شده و درین هر دو ترانزیستور با فلز برای تشکیل خروجی وارونگر به یکدیگر متصل شده اند. لایه ضخیم تری از SiO_2 ، که اکسید فیلد نام دارد، از ایجاد اتصال کوتاه با دیگر لایه ها (به جز نواحی مورد نیاز) پیشگیری می کند.



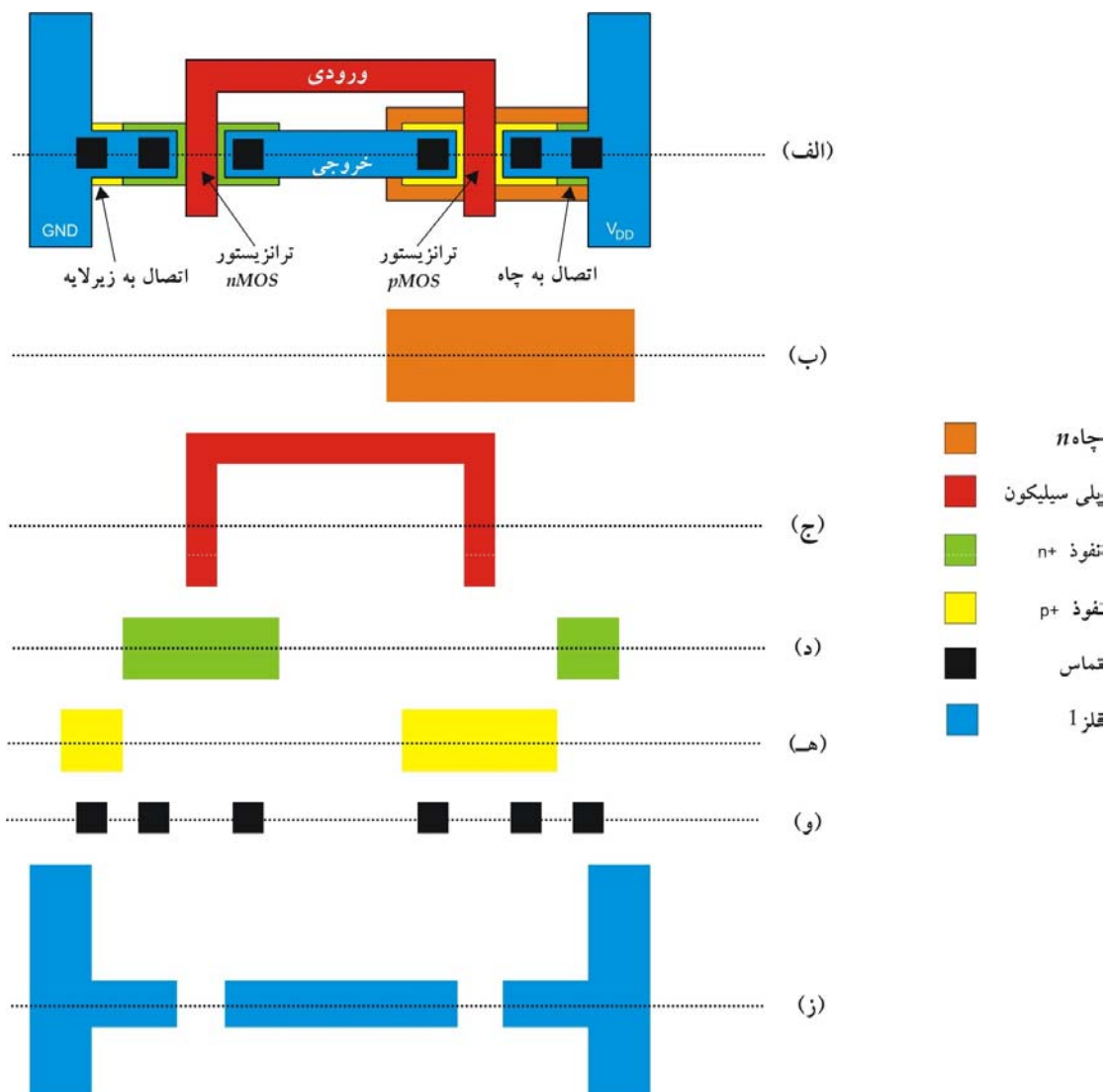
شکل 16: نمای مقطعی وارونگر CMOS و اتصالات زیرلایه و چاه در فرآیند چاه n

برای پیشگیری از بایاس مستقیم (forward biasing) پیوند p-n بین زیرلایه نوع p و سورس یا درین nMOS (ناحیه n^+)، باید زیرلایه را به پتانسیل کم و در عوض، چاه n را باید به پتانسیل بیشتر متصل کرد. این امر، معمولاً، از طریق نواحی نفوذ با آلایش زیاد انجام می پذیرد. (شکل 17) در صورتی که از این نواحی با آلایش زیاد استفاده نشود، اتصال مستقیم فلز (V_{DD} یا GND) به نواحی با آلایش کم (زیرلایه p یا چاه n) باعث ایجاد اتصال دیودی می شود. این نواحی واسطه n^+ یا p^+ اتصال اهمی (دو سوپه) را امکان پذیر می کند.



شکل 17: نمای مقطعی وارونگر با اتصالات زیرلایه و چاه

وارونگر با مجموعه ای از شش ماسک تعریف می شود: چاه n، پلی سیلیکون، نفوذ n^+ ، نفوذ p^+ ، تماس ها و فلز. ماسک ها مشخص کننده ناحیه هایی هستند که مؤلفه ها باید در آن ها ساخته شوند. شکل 18 نمای از بالای وارونگر و شش ماسک متناظر با آن را نشان می دهد.



شکل 18: نمای از بالای وارونگر و مجموعه ماسک های متناظر با آن

فرآیند چاه p

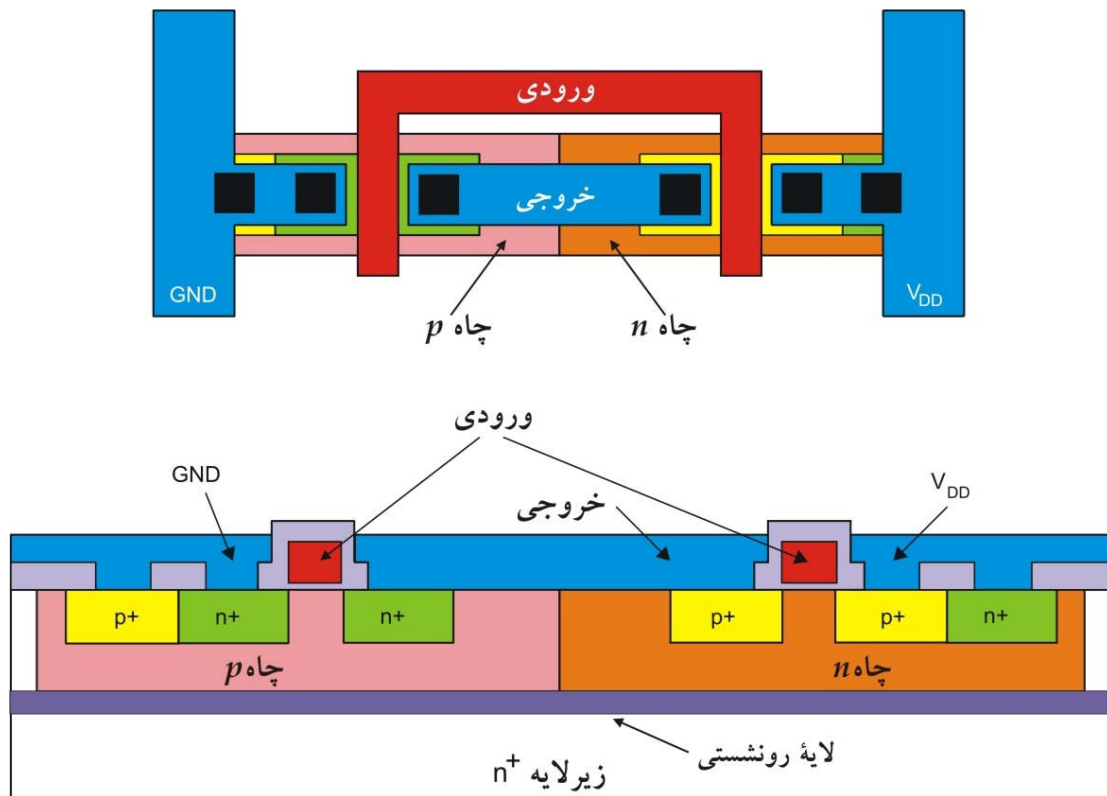
فرآیند های چاه n در سال های اخیر مقبولیت زیادی یافته اند. اما پیش از این فرآیندهای چاه p یکی از متداولترین فرآیندهای ساخت CMOS محسوب می شدند. مراحل ساخت فرآیند چاه p با فرآیند چاه n مشابه است با این فرق که به جای چاه n، از چاه p استفاده می شود و ترانزیستورهای نوع n در این چاه و ترانزیستورهای نوع p در زیر لایه قرار می گیرند.

فرآیند چاه دو قلو

فن آوری CMOS چاه (حوضچه) دو قلو مبنائی برای بهینه سازی جداگانه ی ترانزیستورهای p و n را فراهم می آورد. معمولا ماده آغازین، زیرلایه ی n^+ یا p^+ به همراه یک لایه رونشستی (epitaxi) با ناخالصی کم است که برای حفاظت در برابر قفل شدگی (latch up) به کار می رود. هدف از رونشانی، رشد لایه های سیلیکون با خلوص بالا و ضخامت کنترل شده ای است که در آن تراکم آلاینده ها با دقت معلوم به طور یکنواخت در سراسر لایه توزیع شده اند. در این فرآیند هر دو نوع چاه n و p ساخته می شوند و مراحل آن چنین است:

- ♦ تشکیل حوضچه ها
- ♦ ساخت اکسید نازک و لایه ی پلی سیلیکون
- ♦ کاشت سورس و درین
- ♦ ایجاد برش اتصالات
- ♦ فلز اندود کردن

شکل 19 نمای از بالا و سطح مقطعی از ساختار چاه دو قلو ی وارونگر CMOS را نشان می دهد:



شکل 19: نمای از بالا و سطح مقطع فرآیند CMOS چاه دو قلو

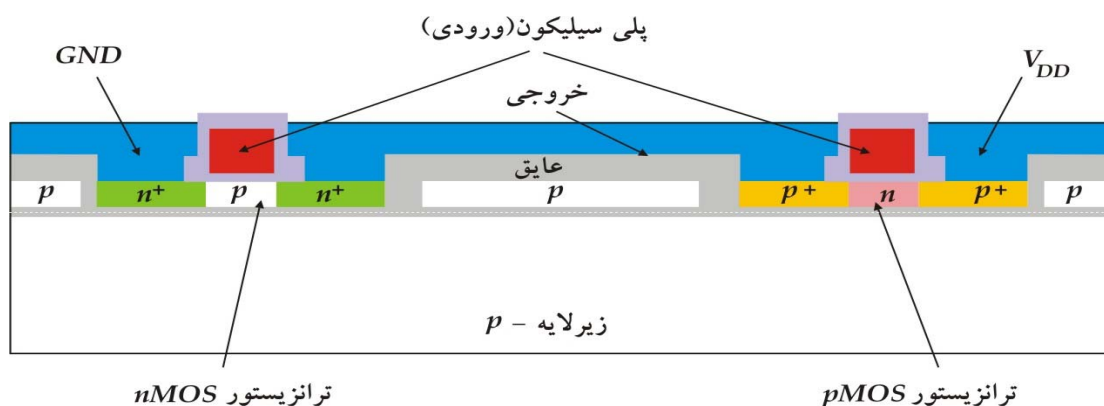
سیلیکون روی عایق (SOI)

فن آوری SOI، برای بیش از چندین دهه، موضوعی پژوهشی بوده است. اما هنگامی که توسط IBM برای ریز پردازنده های PowerPC استفاده شد، جنبه تجاری نیز به خود گرفت. فناوری SOI از این نظر که پتانسیلی را برای طراحی های با کارایی بالا و توان مصرفی ناچیز عرضه می کند، مورد توجه قرار گرفته اما دارای هزینه ساخت و پیچیدگی بیشتری در فرآیند طراحی نسبت به فناوری CMOS می باشد.

تفاوت بنیادی میان SOI و فناوری متداول CMOS در این است که سورس، درین و کانال ترانزیستور همگی توسط یک اکسید عایق - به جای زیر لایه ی هدایتی یا چاه (بدنه) - احاطه شده اند. استفاده از عایق، اکثر خازن های پارازیتی نواحی نفوذ را از بین می برد. هر چند دلالت بر این نکته نیز دارد که بدنه دیگر نمی تواند از طریق زیر لایه یا چاه به GND یا V_{DD} متصل گردد. در نتیجه هر تغییری در ولتاژ بدنه، باعث تغییر V_{TH} می شود که هم

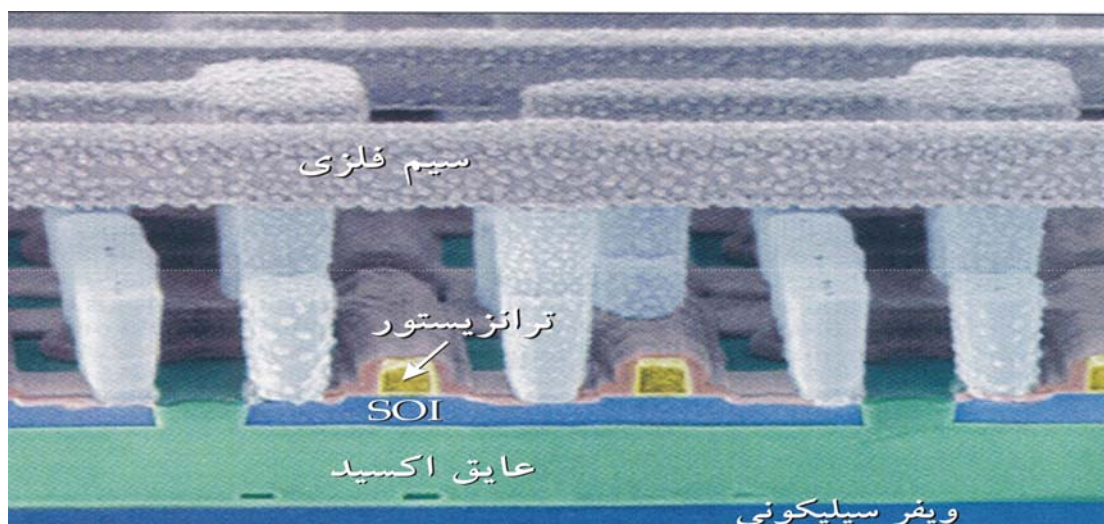
مزایا و هم پیچیدگی هائی را در طراحی به همراه دارد. شکل 20 نمای مقطعی از یک وارونگر را در فرآیند SOI نشان می دهد.

فرآیند ، مشابه CMOS استاندارد است لیکن کار از ویفری آغاز می شود که با لایه ی نازکی از SiO_2 پوشیده شده است و روی آن لایه سیلیکون تک کریستال قرار می گیرد.



شکل 20: نمای مقطعی از وارونگر SOI

شکل 21 عکس میکروسکوپی سلول RAM ایستای شش ترانزیستوری را در فناوری 220nm IBM SOI ، نشان می دهد.



شکل 21: عکس میکروسکوپی از فرآیند 220nm IBM SOI

برای بهبود مشخصات فرآیند ، مانند سرعت و قفل شدگی، می توان به جای زیر لایه سیلیکونی از یک زیر لایه عایق استفاده کرد که منجر به ظهور فناوری های SOI شده است. فرآیندهای SOI مزایای بالقوه ای نسبت به دیگر فناوری های سنتی CMOS دارند. از جمله می توان به فشردگی بیشتر ترانزیستورهای n و p ، نبود مشکلات قفل شدگی و خازن های مزاحم در زیر لایه اشاره کرد.

نظریه اساسی ترانزیستور MOS

در بررسی و مطالعه طراحی مدارهای مجتمع یکی از دو رهیافت مهم زیر می تواند اتخاذ گردد:

1- شروع کار با مکانیک کوانتومی و درک فیزیک حالت جامد ، فیزیک قطعات نیمه هادی ، مدل سازی این قطعات و بالاخره طراحی مدارها.

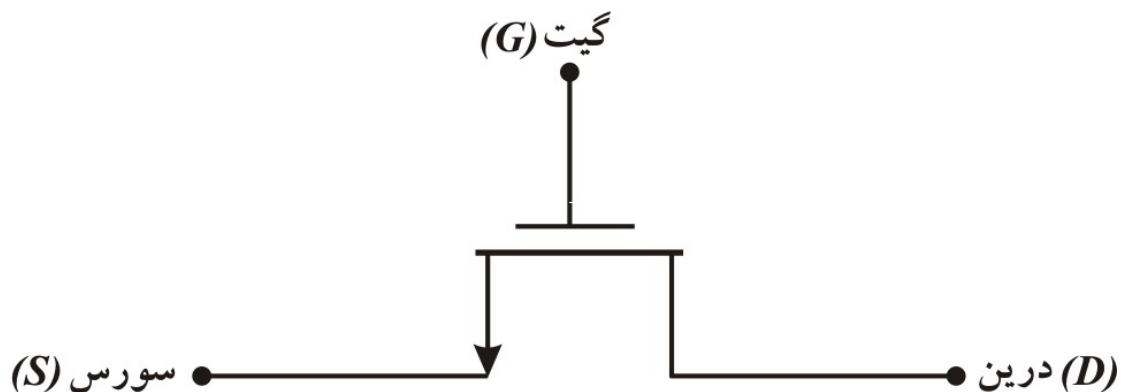
2- شروع کار با قطعات نیمه هادی به عنوان یک جعبه سیاه که رفتارش بر حسب ولتاژها و جریان های پایانه هایش (terminal) قابل توصیف است و سپس طراحی مدارها با مبذول داشتن کمی دقت و توجه به عملکرد آن قطعات .

تجربه نشان داده است که هیچ کدام از دو روش بالا بهینه نیستند. در صنعت امروزین IC ، درک قوی از ابزارهای نیمه هادی ضروری است.

ترانزیستورها را نباید به شکل یک سوئیچ ساده نگاه کرد و بسیاری از اثرات مرتبه دوم (Seconds order effects) مستقیماً در کارایی آن تاثیر می گذارند. افزون بر این ، هر قدر که نسل جدیدی از فناوریهای IC ، اجزای مدار را مقیاس بندی می کند ، این اثرات مشهودتر خواهند شد به طوری که طراح غالباً باید تصمیم بگیرد که کدام اثرات می توانند در مدار مورد نظرش ناچیز فرض شوند.

MOSFET به عنوان یک سوئیچ

پیش از بررسی عملکرد MOSFET ، بهتر است مدل ساده ای از این عنصر را مطالعه کنیم. در شکل 22 نماد MOSFET نوع n نشان داده شده است. همان طور که می بینید این عنصر دارای سه پایانه (ترمینال) است: گیت (G) ، سورس (S) و درین (D). دو مورد اخیر جابجاپذیر هستند زیرا این وسیله متقارن است.



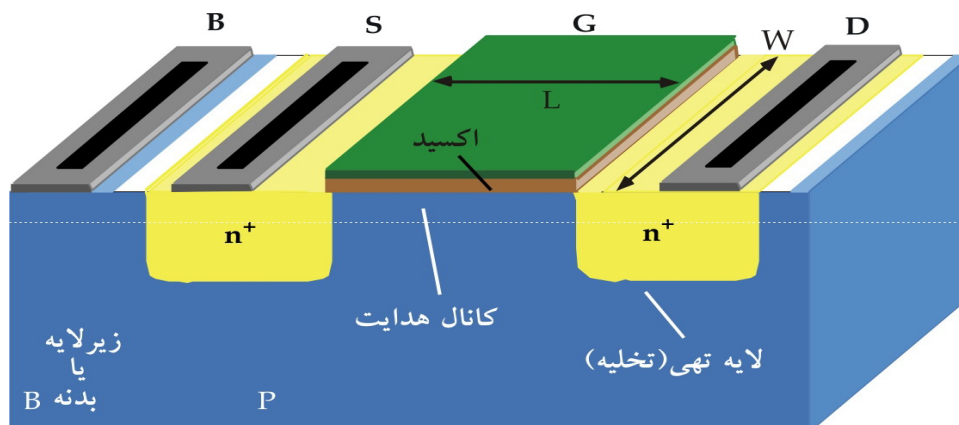
شکل 22: نمای ساده ای از ترانزیستور MOSFET

هنگامی که از این وسیله به عنوان سوئیچ استفاده می کنیم ، در صورتی که ولتاژ V_G ولتاژ بالا باشد ، سورس و درین به یکدیگر متصل می شوند و در صورتی که ولتاژ پایین باشد ، سورس و درین از یکدیگر مجزا خواهند بود. حتی با داشتن چنین ایده ساده ای ، باید به چندین پرسش پاسخ دهیم. به ازای چه مقداری از V_G این وسیله روشن خواهد شد؟ به عبارت دیگر، ولتاژ آستانه (threshold) چیست؟ مقاومت میان S و D هنگامی که ترانزیستور روشن (یا خاموش) است چه قدر است؟ رابطه این مقاومت با ولتاژهای پایانه چگونه است؟ محدودیت ها و قیدها در سرعت

این وسیله چیستند؟ هر چند تمامی این پرسش ها از سطح مداری برخاسته اند ، پاسخ به آنها تنها با تحلیل ساختار و فیزیک ترانزیستور امکان پذیر خواهد بود.

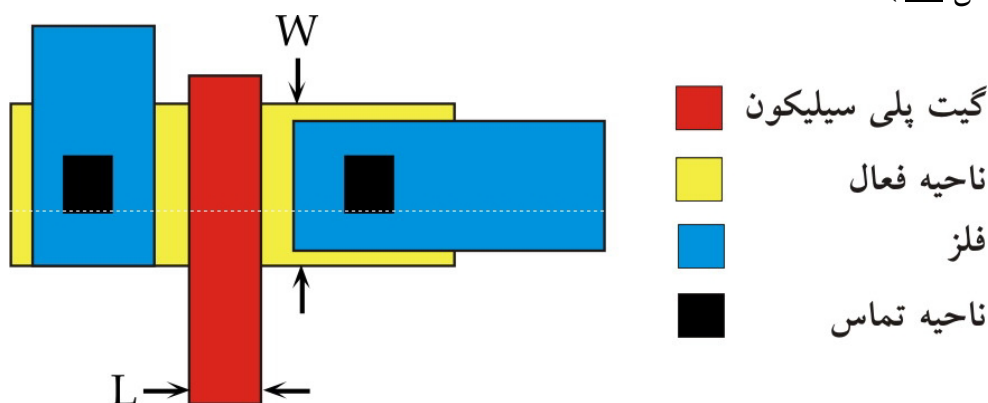
ساختار MOSFET

شکل زیر ساختار ساده ای از ترانزیستور MOS نوع n (nMOS) را نشان می دهد:



شکل 23: ساختار MOSFET کانال نوع n افزایشی

این ترانزیستور بر روی یک زیر لایه نوع p که بدنه (bulk) هم نامیده می شود ، بنا شده است. ترانزیستور نوع n شامل دو ناحیه با آلایش زیاد n است که پایانه های سورس و درین را تشکیل داده اند. یک تکه پلی سیلیکون (که غالباً پلی نامیده می شود) به عنوان گیت ترانزیستور عمل می کند و لایه نازکی از اکسید سیلیکون SiO_2 ، گیت را از زیر لایه جدا می سازد. ساختار مذکور نسبت به S و D متقارن است. در شکل زیر چینش این ساختار نشان داده شده است. (شکل 24)

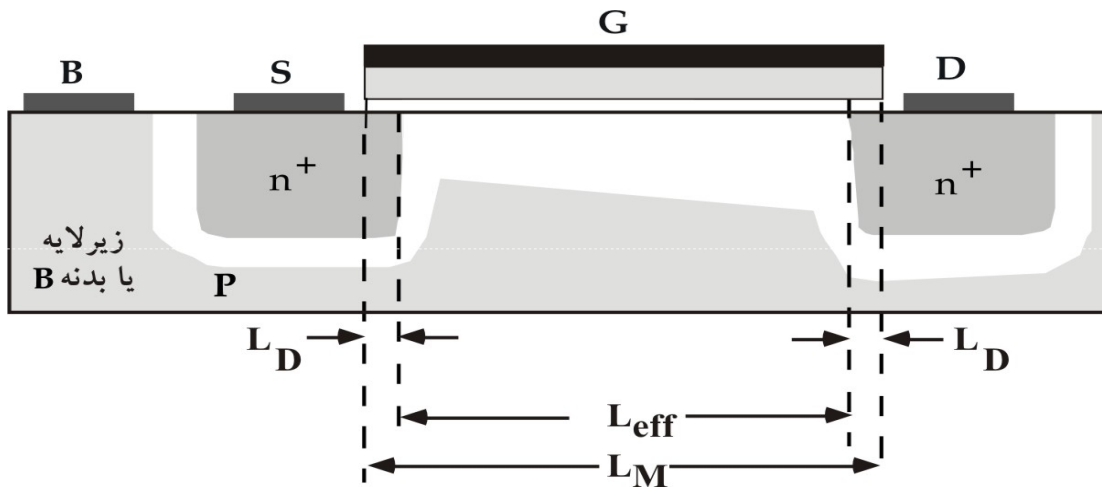


شکل 24: چینش ترانزیستور nMOS

ابعاد گیت در مسیر سورس - درین L یا طول کانال و عمود بر آن W یا پهنای کانال نامیده می شود. به دلیل نفوذ کناری پیوند سورس/ درین در هنگام ساخت ، فاصله واقعی میان سورس و درین کمتر از L است. برای اجتناب از اشتباه می نویسیم :

$$L_{eff} = L_M - 2L_D$$

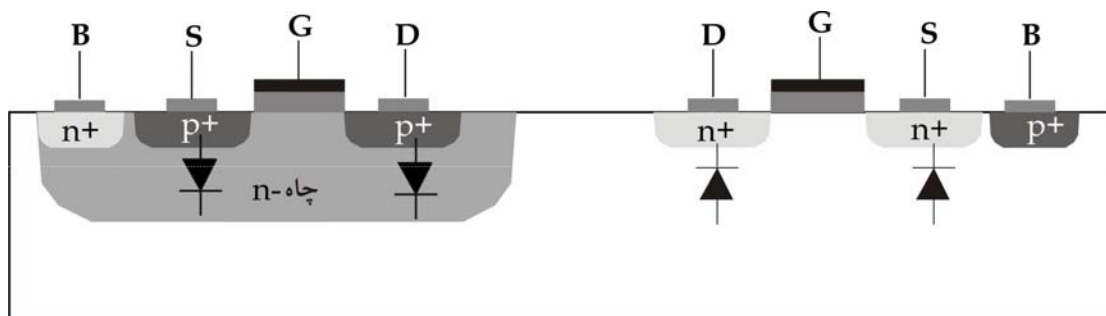
که در واقع L_{eff} طول موثر کانال و L_M طول کل آن می باشد. (شکل 25)



شکل 25: طول موثر کانال در nMOS

اندیس M در L_M در واقع نشان دهنده همان بُعدی است که در چینش ترانزیستور رسم می کنیم. L_D هم نفوذ کناری است. L_{eff} و ضخامت اکسید گیت، t_{ox} ، نقش مهمی را در کارایی مدارهای MOS بازی می کنند. در نتیجه، هدف اساسی در توسعه فناوری MOS، کاهش در دو بعد از نسلی به نسل دیگر، بدون تنزل در کیفیت دیگر پارامترهای ترانزیستور بوده است. در این قسمت طول موثر را با L نمایش می دهیم. اگر ساختار MOS متقارن است، پس چرا یک ناحیه n را سورس و دیگری را درین می نامیم؟ دلیل آن آشکار است. چنانچه سورس را به عنوان پایانه ای که حاملهای بار (الکترون ها در nMOS) را فراهم می کند تعریف کنیم، درین آن پایانه ای است که آنها را جمع آوری می کند. بنابراین وقتی که ولتاژها در سه پایانه تغییر می یابند، سورس و درین نقش های متفاوتی را ایفا خواهند کرد. همان طوری که در شکل های 24 و 25 می بینید در واقع، زیرلایه به نحو مشخصی در معادلات و روابط ترانزیستور موثر می باشد یعنی این که MOSFET یک وسیله چهار پایانه ای است.

از آنجایی که در عملکرد متداول nMOS، دیودهای پیوند سورس-بدنه و درین-بدنه باید به شکل معکوس بایاس شوند (reverse bias)، فرض می کنیم که زیرلایه ترانزیستورهای nMOS به ولتاژ پائین تر در سیستم متصل شده است. به طور مثال، اگر مداری بین 0 تا 3 ولت عمل کند، $V_{sub, nMOS} = 0$ خواهد بود. این اتصال معمولاً از طریق یک ناحیه p^+ همانطوری که در نمای مقطعی ترانزیستور در شکل 26 می بینید، انجام می شود. چون اگر اتصال مذکور مستقیماً با زیرلایه با ناخالصی کم برقرار شود، به جای اتصال اهمی (دو طرفه) اتصال دیودی (یک طرفه) پدید خواهد آمد.

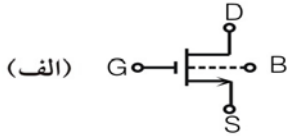
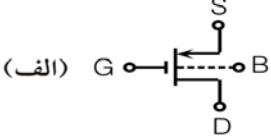
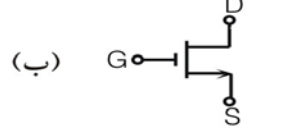
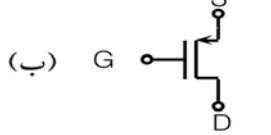
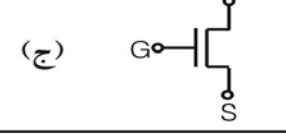
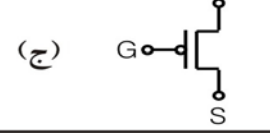


شکل 26: دیودهای پیوند سورس / درین و اتصال زیرلایه

در فناوری های CMOS ، هم ترانزیستور nMOS و هم ترانزیستور pMOS شرکت دارند. ترانزیستور pMOS با معکوس کردن تمامی انواع آرایش ها (از جمله زیرلایه) فراهم می شود (شکل 26 سمت چپ). اما در عمل وسایل nMOS و pMOS باید در یک ویفر ساخته شوند. یعنی با یک زیرلایه یکسان و از این رو ، یکی از این دو نوع ترانزیستور می تواند در یک زیرلایه محلی (چاه) قرار داده شود. در بیشتر فرآیندهای امروزی CMOS ، ترانزیستور pMOS در چاه n (مطابق شکل 26) ساخته می شوند. نکته مهم این که چاه n باید به پتانسیلی باشد که دیوهای پیوند سورس-چاه و درین-چاه ترانزیستور pMOS همچنان در شرایط بایاس معکوس باقی بمانند. در اغلب مدارها ، چاه n به منبع تغذیه مثبت تر وصل می شود. این اتصال نیز مانند اتصال بدنه باید از طریق یک ناحیه n^+ انجام پذیرد. برای سادگی و خلاصه کردن ، بعضی اوقات ترانزیستورهای nMOS را nFET و ترانزیستورهای pMOS را pFET می نامیم.

نمادهای نمایش MOS

نمادهای مداری به کار رفته در نمایش ترانزیستورهای nMOS و pMOS در شکل 24 نشان داده شده اند.

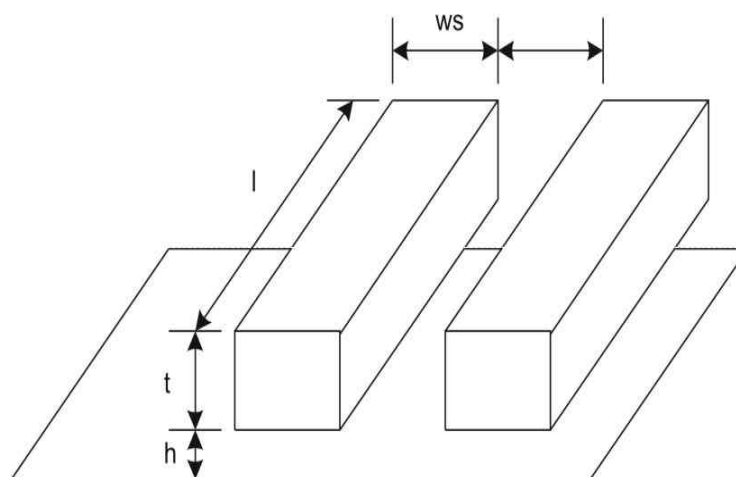
| نمادهای مداری nMOS | نمادهای مداری pMOS |
|--|---|
| <p>(الف)</p>  | <p>(الف)</p>  |
| <p>(ب)</p>  | <p>(ب)</p>  |
| <p>(ج)</p>  | <p>(ج)</p>  |

شکل 27: نمادهای MOS

نمادهای نوع (الف) شامل تمامی چهار پایه هستند که زیرلایه یا چاه را با B (اول حرف Bulk به معنای بدنه) به جای S برای پرهیز از اشتباه با سورس نشان داده اند. سورس ترانزیستور pMOS در بالاست زیرا دارای پتانسیل بیشتری از درین است. در واقع در هر دو نوع ترانزیستور، سورس منبع تولید بار الکتریکی است و چون در ترانزیستورهای nMOS ، الکترون ها جابجا می شوند ، S پتانسیل کمتری دارد. اما در ترانزیستورهای pMOS که حفره ها جابجا می شوند ، S به پایانه با پتانسیل بالا اطلاق می شود. از آنجا که در اغلب مدارها ، پایانه های بدنه ترانزیستورهای nMOS و pMOS به ترتیب به زمین و V_{DD} متصل می شوند ، معمولا این اتصالات را با نمایش شکل هایی از نوع (ب) حذف می کنیم. در مدارهای دیجیتال مرسوم است که از نمادهای سوئیچ نشان داده شده در نوع (ج) استفاده کنند.

اتصالات میانی







می دانیم ترانزیستورهای CMOS از سه ناحیه درین، سورس و گیت ساخته می شوند که متشکل از لایه های نفوذی ، پلی سیلیکون و فلزی هستند که با لایه های عایق از یکدیگر جدا شده اند. هر لایه دارای مقاومت و خازن مخصوص به خود است که عناصر اساسی در ارزیابی کار مدار و سیستم محسوب می شوند. هم چنین ، این لایه ها دارای ویژگی القایی (inductance) هستند که در بیشتر مدارهای موجود در تراشه می توان از آنها چشم پوشی کرد. سیم هایی که ترانزیستورها را به یکدیگر متصل می کنند ، اتصالات میانی (interconnect) نام دارند و نقش مهمی را در کارآئی سیستم های پیشرفته بازی می کنند. شکل 28 یک زوج سیم مجاور یکدیگر را نشان می دهد. سیم ها دارای پهنای w ، طول l و ضخامت t هستند. فاصله بین دو سیم مجاور ، S ، و دی الکتریکی بین آنها و لایه پایینی شان قرار گرفته است. مجموع پهنای و فاصله ، گام سیم (pitch) نام دارد. نسبت ضخامت دی الکتریک به پهنای (t/w) را نسبت هندسی (aspect ratio) می نامند. دی الکتریک از SiO_2 یا ماده ای با ضریب دی الکتریک کم ساخته شده است. تا حدود یک دهه پیش ، ترانزیستورها نسبتا کند و سیم ها ، پهن و ضخیم و دارای مقاومت اندکی بودند. با این شرایط ، می شد سیمها را به عنوان یک گره هم پتانسیل ایده آل با یک خازن فشرده (lumped capacitance) در نظر گرفت. اما در فرآیندهای پیشرفته امروزی VLSI ، سوئیچ های ترانزیستوری بسیار سریع عمل می کنند. سیم ها باریکتر شده و بسیار نزدیک به یکدیگر قرار گرفته اند. بنابراین ، بخشی از ظرفیت خازن آنها حاصل از سیم-های مجاور است. هنگامی که سیمی سوئیچ می کند ، ممکن است در سیم های مجاورخویش از طریق تزویج خازنی (capacitance coupling) تأثیر بگذارد که این پدیده را هم شنوائی (crosstalk) می گویند. اثرالقائی اتصالات درون تراشه ، قابل چشم پوشی هستند ، هر چند که در بسته بندی (packaging) و نیز سرعت های زیاد و گذرگاههای فشرده و نزدیک به هم باید اثر آنها را در نظر گرفت. شاید با در نظر گرفتن تمامی این عوامل ، این طور به نظر آید که عنوان طراحی مدار ، بیشتر مهندسی سیم بندی هاست تا کار با ترانزیستورها!!

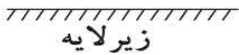


شکل 28: هندسه اتصالات میانی

در فرآیندهای اولیه CMOS ، تنها یک لایه فلزی وجود داشت و برای سالیان دراز، فقط دو یا سه لایه موجود بودند. اما با پیشرفت صنایع مکانیکی و شیمیائی ، اکنون ساختن چندین لایه فلزی امری ممکن شده است. مثلا فرآیند

0.18 μm ، 6 تا 8 لایه فلزی دارد و تعداد لایه ها نیز با سرعتی در حدود یک در هر نسل رو به افزایش است. شکل 29 نمای مقطعی از پشته فلزی را در فرآیند اینتل 0.18 μm نشان می دهد.

| لایه | t (nm) | W (nm) | S (nm) | AR (نسبت هندسی) | |
|------|--------|--------|--------|-----------------|---|
| 6 | 1720 | 860 | 860 | 2.0 |  |
| | 1000 | | | | |
| 5 | 1600 | 800 | 800 | 2.0 |  |
| | 1000 | | | | |
| 4 | 1080 | 540 | 540 | 2.0 |  |
| | 700 | | | | |
| 3 | 700 | 320 | 320 | 2.2 |  |
| | 700 | | | | |
| 2 | 700 | 320 | 320 | 2.2 |  |
| | 700 | | | | |
| 1 | 480 | 250 | 250 | 1.9 |  |
| | 800 | | | | |

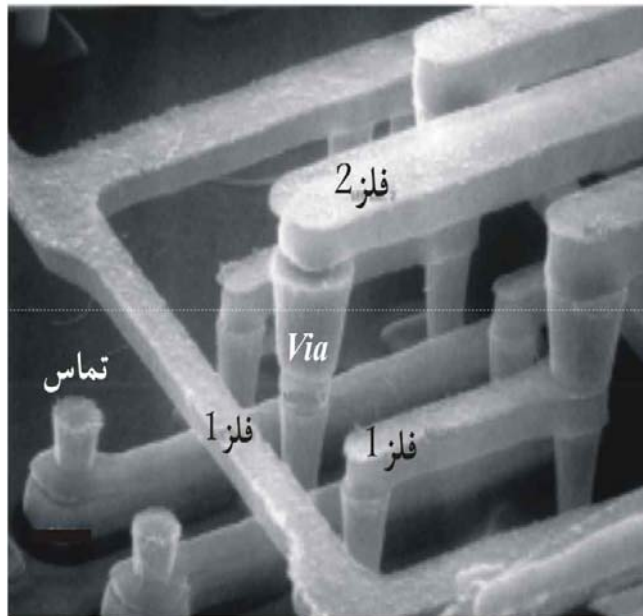


شکل 29: پشته 6 لایه فلزی برای فرآیند اینتل 0.18 μm

معمولا برای منبع تغذیه ، زمین ، کلاک و مسیردهی سیگنال های حساس به تأخیر، از لایه ای با مقاومت کم استفاده می شود. همانطور که در شکل 29 دیده می شود ، در فرآیند اینتل ، پهنای و گام لایه های فلزی برای لایه های بالاتر به تدریج بزرگتر می شوند اما در بسیاری از فرآیندها این اندازه یکسان نیست.

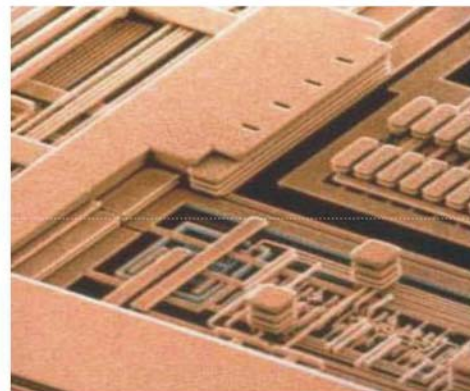
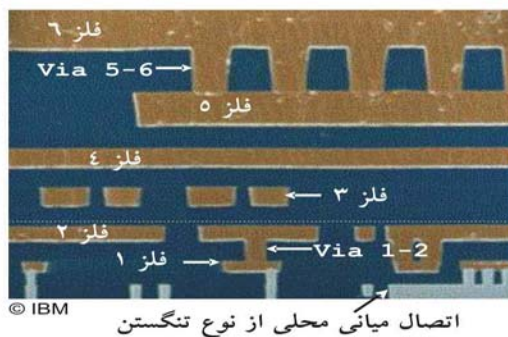
ارزیابی ظرفیت اتصالات میانی

سیم ها ، Via ها و ترانزیستورها همگی می توانند خواص پارازیتی از خود نشان دهند و ما مایل نیستیم چنین پدیده ای در مدارهایمان رخ دهد. اما به دلیل به کارگیری عناصر و مولفه های غیرایده آل ، این مشکلات همیشه وجود خواهند داشت. القاکندگی مشکل چندان مهم و جدی در طراحی مدارهای مجتمع به شمار نمی آید ، هر چند که در بسته بندی تراشه ها باید به آن توجه شود. بنابراین مهمترین عناصر پارازیتی خازن و مقاومت هستند. از این رو ، فهم خواص و ویژگیهای ساختاری این مولفه ها و نیز چگونگی ارزیابی مقادیر عناصر پارازیتی در چینش ها بسیار ضروری است. در مدارهای LSI ، خازن های پارازیتی اتصالات میانی ، معمولا از دشوارترین پارامترها برای ارزیابی دقیق هستند. هر سیم اتصال درونی ، یک ساختار سه بعدی به شکل فلز یا پلی سیلیکون با مشخصه هایی چون ضخامت ، فاصله عمودی از سطح زیرلایه و حتی شکل دارد. همچنین هر خط اتصال میانی نوعا با تعداد دیگری از خطوط محاط می گردد که ممکن است این خطوط در سطحی یکسان یا متفاوت با آن باشند. شکل 30 نمای ساده ای از اتصالات میانی را در سطح سه بعدی نشان می دهد که در نزدیکی یکدیگر قرار گرفته اند.



شکل 30: نمائی از اتصالات میانی در سطوح مختلف

شکل 31 نمونه ای از سیم بندی را در فرآیندهای پیشرفته امروزی نشان می دهد. در اینجا پشته ای از اتصالات میانی شامل شش فلز و یک لایه تنگستن (Tungsten) به عنوان اتصال میانی محلی در فرآیند IBM CMOS7 به کار گرفته شده است.



فرآیند IBM CMOS7 ، 6 لایه سیم بندی
یک اتصال میانی محلی از نوع تنگستن

شکل 31

مقیاس بندی (Scaling)

تولید تراشه هایی با چگالی بالا در فناوری MOS VLSI نیازمند آن است که تا حد امکان اندازه ترانزیستورها و سایر اجزای مدار کوچک تر گردد. انتظار می رود که مشخصه های عملیاتی ترانزیستور MOS و اتصالات به کاهش ابعاد آنها تغییر پیدا کند اما برخی از محدودیت های فیزیکی، توسعه عملی مقیاس بندی را با محدودیت هایی همراه می سازد.

مقیاس بندی ترانزیستورها

معمولا از سه طرح راهبردی برای کاهش اندازه ترانزیستورها استفاده می شود:

- * مقیاس بندی کامل (Full Scaling) که مقیاس بندی میدان ثابت (Constant Field) نیز نامیده می-شود.
- * مقیاس بندی ولتاژ ثابت (constant-voltage scaling).
- * مقیاس بندی افقی (lateral scaling).

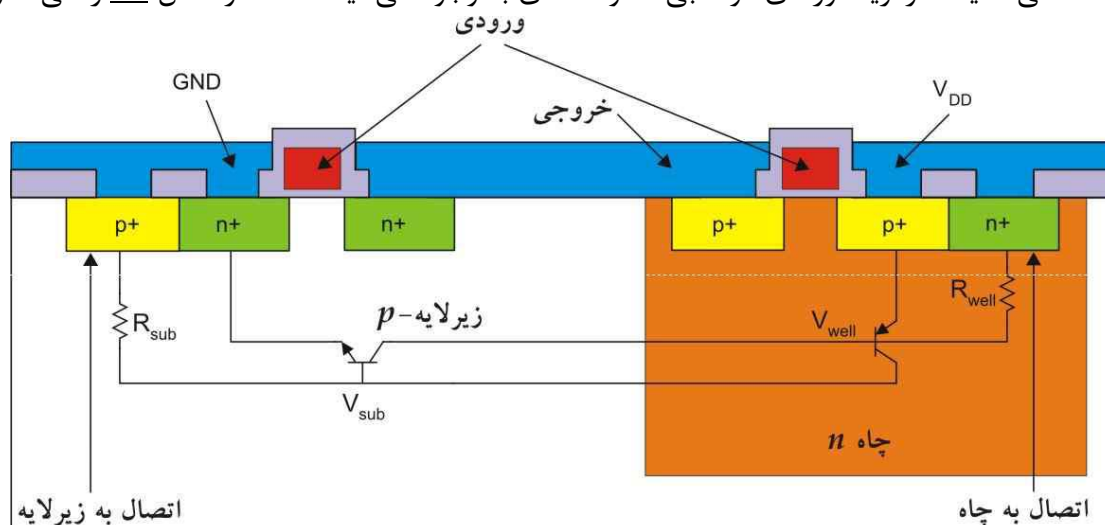
جدول 3: کاهش برخی از مشخصه ها در طی سال ها برای فرآیند متداول آرایه گیتی CMOS

| سال | 2001 | 2003 | 2005 | 2007 | 2010 | 2013 | 2016 |
|-----------------------|------|------|------|------|------|------|------|
| طول تخمینی کانال (nm) | 130 | 90 | 45 | 65 | 45 | 32 | 22 |
| طول فیزیکی کانال (nm) | 65 | 45 | 32 | 25 | 18 | 13 | 9 |
| اکسید گیت (nm) | 2/3 | 2/0 | 1/9 | 1/4 | 1/2 | 1/0 | 0/9 |
| V_{DD} (V) | 1/2 | 1/1 | 1/0 | 0/9 | 0/8 | 0/7 | 0/6 |

می بینیم که نسل جدیدی از فناوری های ساخت ، در حدود هر 2 یا 3 سال جایگزین نسل پیشین می شود. از جدول درمی یابیم که فاکتور کاهشی مقیاس بندی ، S ، از نسلی به نسل دیگر 1/2 تا 1/5 بوده است.

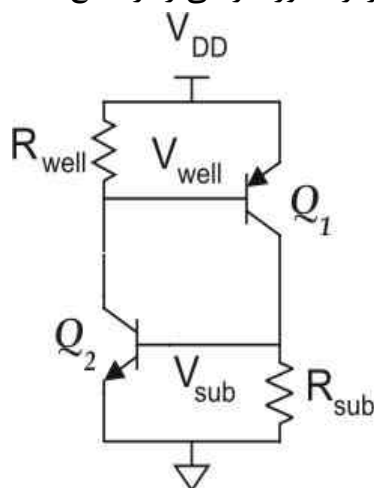
قفل شدگی (Latch Up)

مدارهای CMOS ممکن است در معرض پدیده نامطلوبی به نام قفل شدگی قرار بگیرند. این پدیده از ایجاد پیوند-های npn و pnp در مدار ناشی می شود. سطح مقطع یک وارونگر CMOS را در نظر بگیرید (شکل 32). همانطور که ملاحظه می کنید ، ترانزیستورهای دوقطبی ناخواسته ای به وجود می آیند که مدار شکل 33 را می سازند.



شکل 32: منشأ پدیده قفل شدگی

البته، علاوه بر مقاومت های نشان داده شده مقاومت های دیگری نیز در مدار وجود دارند که نقش مهمی را در تشریح عملکرد قفل شدگی ایفا نمی کنند. هنگامی که سیستم روشن می شود، ممکن است جریان کوچکی از مسیر مقاومت R_{well} عبور کند. اگر مقدار این جریان و مقدار R_{well} به اندازه ای باشند که بتوانند ولتاژ V_{EB} لازم برای روشن کردن ترانزیستور Q_1 را تأمین کنند، این ترانزیستور جریانی را از منبع تغذیه خواهد کشید.

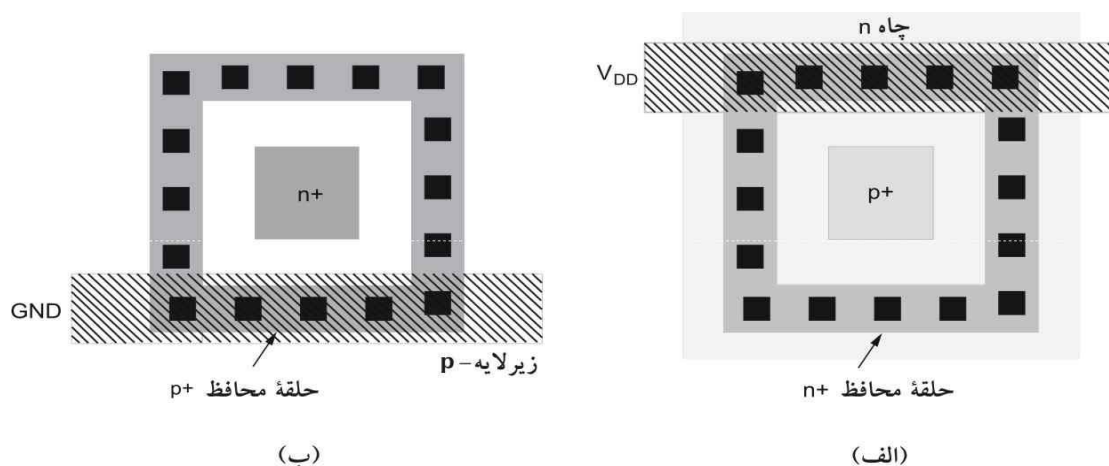


شکل 33: مدار معادل پدیده قفل شدگی

این جریان نیز که عمده آن از R_{sub} عبور می کند، می تواند ترانزیستور Q_2 را روشن کند. روشن شدن Q_2 منجر به کشیدن جریان بزرگی از منبع تغذیه و روشن شدن بیشتر Q_1 می شود که خود این موضوع باعث افزایش شدید جریان کلکتور Q_1 می گردد. این فیدبک مثبت، عملکرد مدار را دچار اختلال می کند و گاه باعث سوختن مدار می شود. در گذشته، این پدیده یکی از معایب بزرگ مدارهای CMOS بود. اما در فناوری جدید، با تدابیری که در ساخت و طراحی اندیشیده می شود، پدیده قفل شدگی، دیگر چندان نگران کننده نیست.

یکی از این روش ها که به طراح مربوط می شود، کاهش R_{sub} و R_{well} است. در صورتیکه این مقادیر به اندازه کافی کوچک باشند، جریان نشتی اولیه، نمی تواند ولتاژ لازم را برای روشن کردن ترانزیستورها فراهم کند. در شکل 32 که فقط یک ترانزیستور nMOS و یک ترانزیستور pMOS داریم و برای هر یک از آنها یک اتصال V_{DD} یا GND را فراهم کرده ایم مقدار R_{sub} و R_{well} عملاً چندان بزرگ نیست. اما مدار بزرگتری را در نظر بگیرید که دارای چندین ترانزیستور nMOS و pMOS و فقط یک اتصال چاه n به V_{DD} و یک اتصال زیرلایه به GND باشد. در این حالت، ترانزیستورهایی که از خطوط تغذیه دورترند، مقاومت های R_{sub} و R_{well} بزرگتری می بینند. بنابراین، برای اطمینان از عدم وقوع قفل شدگی می توان به ازای هر ترانزیستور، یک اتصال تغذیه قرار داد. اما این کار ممکن است مساحت زیادی را اشغال کند. به لحاظ تجربی، معمولاً به طراح توصیه می شود که به ازای هر 4 یا 5 ترانزیستور، یک تغذیه در نظر بگیرد. توصیه عملی دیگر آن است که بعد از طراحی چینش، در محل های خالی، اتصال تغذیه قرار گیرد.

برای ترانزیستورهایی که جریان زیادی را عبور می دهند (مانند ترانزیستورهای I/O) از حلقه های محافظ استفاده می شود (guard ring) (به شکل 34 نگاه کنید). حلقه های محافظ در واقع اتصالات تغذیه ای هستند که دور ترانزیستور قرار داده می شوند و مقاومت R_{sub} و R_{well} و بهره ترانزیستورهای دوقطبی را کاهش می دهند.

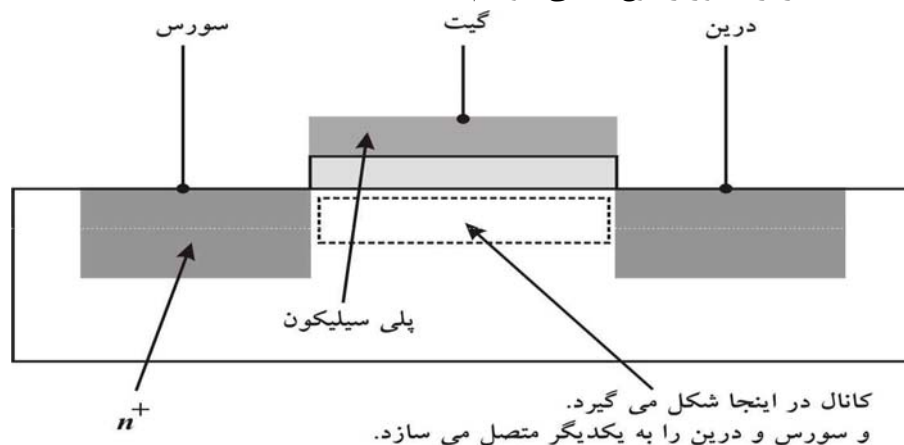


شکل 34: حلقه های محافظ

روش دیگری که در ساخت به کار می رود، قرار دادن یک لایه رونشستی (epitaxial layer) با آلایش کم در زیر- لایه با آلایش زیاد است. اینکار سبب می شود که جریان ترانزیستورهای عمودی به سمت مسیر زیر لایه- که مقاومت کوچکی دارد - منحرف شود.

سوئیچ های ترانزیستور MOS

ترانزیستور MOS دارای سه پایه است: گیت، سورس و درین. گیت در واقع پلی است سیلیکونی که سطح ولتاژ آن بر روی توزیع بار زیرین آن تاثیرگذار است و هنگامی که جریانی عبور می کند، حامل ها تغییر یافته و از یک ناحیه نفوذی به ناحیه دیگر جابجا می شوند. مبدأ حامل های بار، سورس و مقصد آنها درین است. چنانچه نواحی نفوذی از ناخالصی های نوع n تشکیل شده باشند، ترانزیستور را نوع n می نامیم و چنانچه نواحی نفوذی از ناخالصی های نوع p تشکیل شده باشند، ترانزیستور را نوع p می گوئیم.



شکل 35: نمای مقطعی از ترانزیستور nMOS

نواحی نفوذی فقط در نواحی از نوع مخالف شکل می گیرند: نفوذ p در زیر لایه سیلیکونی نوع n یا چاه های n؛ و ناحیه نوع n در زیر لایه سیلیکونی نوع p یا چاه های p. بارها فقط هنگامی که نوع ناحیه زیر گیت (در طرف پایانه سورس) بتواند به همان نوع تغییر یابد، می توانند از پایانه درین خارج شوند، به عبارت ساده تر، اگر ناحیه وارونه گردد:

- * یک لایه وارون در زیر گیت ترانزیستور نوع n هنگامی تشکیل خواهند شد ولتاژ گیت برای دفع حامل های بار مثبت در زیر لایه پائینی بقدر کافی مثبت باشد.
- * یک لایه وارون در زیر گیت ترانزیستور نوع p هنگامی تشکیل خواهند شد ولتاژ گیت برای دفع حامل های بار منفی در زیر لایه پائینی بقدر کافی منفی باشد.

مقایسه بین ترانزیستورهای FET و BJT

الف) مزیت های FET نسبت به BJT

- 1- این ترانزیستورها از نظر ساختمان نیمه هادی هایشان به گونه ای ساخته می شوند که طبقه ورودی پیوندی p-n است که به طور معکوس بایاس می شود و همواره جریان بسیار کوچکی در حد [pA] یا [fA] می کشد. به همین دلیل ترمینال ورودی عملاً مدار باز است. به عبارتی دیگر امپدانس ورودی این نوع ترانزیستورها دهها مگا اهم است. کاربرد عمده این نوع ترانزیستورها در ساخت طبقه ورودی Op-Amp هاست.
- 2- نویز حرارتی ترانزیستورهای FET بسیار کم است. لذا در ساخت تقویت کننده های Low Noise و همچنین تقویت کننده های FM با کیفیت بالا به کار می روند و در ساخت طبقات IF گیرنده ها (قسمت تیون) کاربرد فراوان دارند. با تکنولوژی CMOS ، IC های Low Noise ساخته می شوند.
- 3- در بحث سوئیچینگ هنگامی که FET به عنوان کلید بسته عمل می کند ، دقیقاً دو سرش صفر ولت می افتد و این یک سوئیچ ایده آل است؛ در حالی که در BJT ها بین 0/1 تا 0/2 ولت افت ولتاژ داریم.
- 4- پایداری نقطه کار ترانزیستورهای FET از BJT بیشتر است.
- 5- پارامتر β در ترانزیستورهای دوقطبی پارامتری است که تغییرات وسیع دارد ، درحالیکه پارامترهای ترانزیستور اثر میدان بسیار کم تغییر می کنند.

ب) مزیت های BJT نسبت به FET

- 1- درجه تقویت ترانزیستورهای دوقطبی به مراتب بیشتر است از ترانزیستورهای اثر میدان:
- $$g_{m(BJT)} \gg g_{m(FET)}$$
- 2- سرعت BJT به مراتب از سرعت FET بیشتر است. IC های خیلی سریع با تکنولوژی BiCMOS ساخته می شوند.
- اکنون به تشریح تکنولوژی BiCMOS می پردازیم.

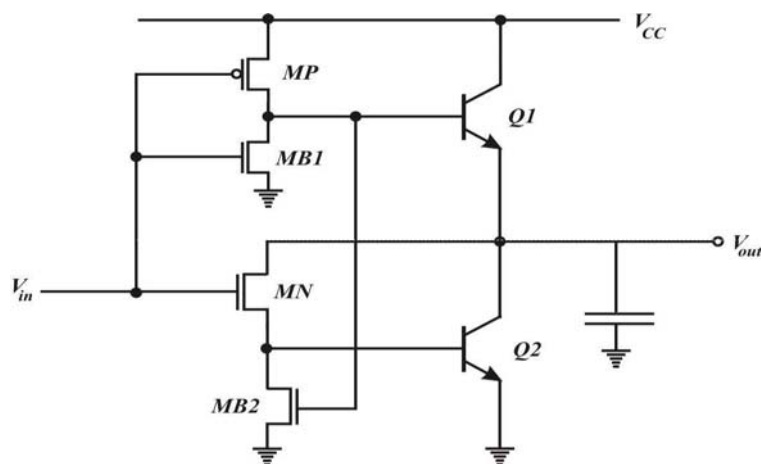
مدارهای منطقی BiCMOS

تأخیر انتشار سیگنال با توجه به خازن های اتصالات میانی در مدارهای مجتمع دیجیتال CMOS یکی از اساسی ترین عوامل در محدود کردن کارایی این مدارها می باشد. قابلیت جریان دهی گیت های CMOS ای که بارهای خازنی بزرگی را درایو می کنند (مانند خطوط کلمه درآرایه های حافظه یا خطوط گذرگاه داده بین بلوکهای منطقی بزرگ) به شدت سرعت سیستم را محدود می سازند. معمولاً مشکل درایو کردن بارهای بزرگ با استفاده از مدارهای بافر CMOS که دارای قابلیت های جریان دهی بهبود یافته اند ، برطرف می شود. اغلب این بافرها برای بهبود بخشیدن به تأخیر انتشار بخشی از مساحت تراشه را اشغال می کنند.

تجربه نشان داده است که برای درایو کردن یک بار خازنی با تأخیر انتشار قابل قبول، به طراحی یک بافر خروجی با پهناهای کانال ترانزیستور (W_p و W_n) به حد کافی بزرگ نیاز داریم. هر چند که افزایش در ابعاد ترانزیستور ضرورتاً به کاهش تأخیر انتشار کمک نخواهد کرد. باید توجه داشت که افزایش پهناهای کانال ترانزیستورهای nMOS و pMOS متناسباً سبب افزایش ظرفیت خازن های مدار می شود و در نتیجه بهبود سرعت به دست آمده محدود خواهد بود.

یکی از راه حل های عملی برای این گونه موارد، استفاده از زنجیره ای از بافرهای مقیاس بندی شده چند طبقه است که اندازه آنها تدریجاً از ورودی به سوی خروجی افزایش پیدا می کند. اما پیاده سازی این ساختارها نیز به مساحت بزرگی از تراشه سیلیکون نیاز دارد و در نتیجه هزینه کل را افزایش می دهد.

در مقام مقایسه، ترانزیستورهای دوقطبی (Bipolar Junction Transistor) دارای قابلیت جریان دهی بهتری هستند و از این رو می توانند به تنگناها و مشکلات ناشی از سرعت غلبه کنند، ضمن این که از مساحت کمتری از تراشه بهره می برند. البته همان طور که می دانیم مصرف توان مدارهای دوقطبی بسیار بیشتر از گیت های مشابه CMOS است و برای مدارهایی که قدری بزرگ هستند، استفاده از گرماگیر (heat-sink) نیز نیاز می باشد. گزینه دیگر در درایو کردن بارهای بزرگ خازنی می تواند از ادغام مدارهای CMOS و دوقطبی در یک تراشه پدید آید. چنین منطقی را BiCMOS می گویند. این مدارها دارای ویژگی مصرف توان ایستای ناچیز CMOS و قابلیت جریان دهی بالای ترانزیستور دوقطبی درحالات گذار می باشد. شکل 36 مدار وارونگر BiCMOS را نشان میدهد.



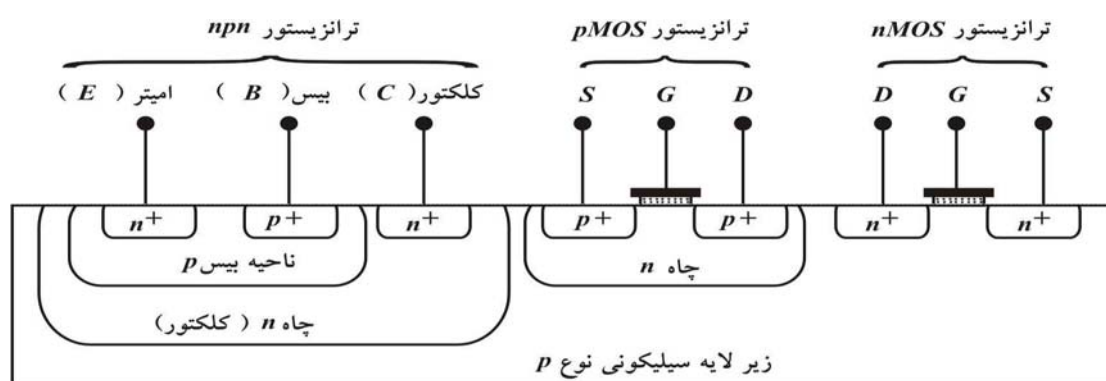
شکل 36: یک مدار وارونگر BiCMOS با چهار MOSFET و دو BJT

در مقایسه با محدودیت قابلیت جریان دهی ترانزیستورهای CMOS، ترکیب BiCMOS مزایائی را عرصه می کند. این مزایا عبارتند از: بهبود در سرعت سوئیچینگ و کاهش حساسیت تاخیر نسبت به ظرفیت خازن بار. درحالت کلی، مدارهای منطقی BiCMOS گرایش زیادی به سوی دوقطبی ندارند و اغلب عملیات منطقی آن ها با مدارهای CMOS مرسوم قابل پیاده سازی است. اما درجایی که قرار است مدار بارخازنی بزرگی را تغذیه کند، از ترانزیستورهای دوقطبی استفاده می شود.

توجه

- ❖ CMOS دارای اتلاف توان کمی است ولی منطق BiCMOS سرعت بیشتر و قابلیت جریان دهی بیشتری را فراهم می کند.
- ❖ در پردازنده های پنتیوم از فناوری BiCMOS استفاده شده است.

عیب عمده مدارهای BiCMOS، افزایش پیچیدگی فرآیند ساخت آنهاست. فرآیند ساخت ترانزیستورهای دوقطبی در پردازنده مراحل پردازش بیشتری در مقایسه با فرآیند CMOS است. با این حال، بسیاری از مراحل فرآیند مرسوم CMOS می توانند برای ساخت ساختارهای دوقطبی (همزمان با ترانزیستورهای MOS) به کار روند. (شکل 38)



شکل 37: نمای مقطعی از ترانزیستورهای npn، nMOS و pMOS ساخته شده در یک زیر لایه سیلیکون نوع p. بسیاری از مراحل فرآیند استاندارد CMOS برای تولید ترانزیستورهای دو قطبی و MOS در کنار یکدیگر در تراشه به کار می روند.

به طور مثال، فرآیند به کار رفته برای ایجاد چاه n در یک زیر لایه نوع p می تواند برای ایجاد ناحیه کلکتور نوع n در ترانزیستور دو قطبی npn به کار رود. مراحل نفوذ سورس و درین در فرآیند CMOS می توانند برای تولید ناحیه امیتر و بیس به کار روند. البته باید توجه داشت که نمی توان بطور کامل مراحل ساخت دو قطبی را با فرآیند ساخت CMOS مطابقت داد. فرآیند ساخت BiCMOS نوعا به 3 یا 4 ماسک علاوه بر فرآیند ساخت CMOS نیاز دارد.

منابع :

1- «طراحی VLSI دیجیتال» نوشته : دکتر مرتضی صاحب الزمانی ،

ناشر: انتشارات شیخ بهائی، چاپ اول 1385.

2- JAN M. RABAEY, ANANTHA CHANDRAKASAN, BORIVOJE NICOLIC, *"Digital Integrated Circuits: A Design Perspective (2nd Ed)"*.

3- Behzad Razavi, *"Design of Analog CMOS Integrated Circuits"*, McGraw Hill, 2001.

4- Alan A. Stocker, *"Analog VLSI Circuits for the Perception of Visual Motion"*, John Wiley & Sons, 2006.

5- Phillip E. Allen, Douglas R. Holberg, *"CMOS Analog Circuit Design"*, 2002.

6- P.R. Gray, P.J Hurst, S. H Lewis, R.G Meyer *"Aanalysis and Design of Analog Integrated Circuits 4th Edition"*, John Wiley & Sons, 2001.