

بررسی و مقایسه روشهای افزایش محدوده قفل شدن در DLL های نوع آنالوگ

امیر غفاری

دانشجوی کارشناسی ارشد الکترونیک

دانشکده مهندسی برق - گروه الکترونیک

دانشگاه علم و صنعت ایران

am.ghaffari@gmail.com

سید ادیب ابریشمی فر

استادیار گروه الکترونیک

دانشکده مهندسی برق - گروه الکترونیک

دانشگاه علم و صنعت ایران

چکیده: در این مقاله روشهای مختلف برای افزایش محدوده قفل شدن در ساختارهای حلقه قفل تأخیر¹ نوع آنالوگ بررسی و مقایسه شده‌اند. ساختارهای مقایسه شده شامل پنج ساختار می‌شود که عبارتند از: ۱- DLL با استفاده از PD با مدار بازنشانی ۲- ساختار تصحیح خودبخودی ۳- DLL با خط تأخیر ۴- Replica DLL با مدار بازنشانی اولیه ۵- ساختار ترکیبی PLL/DLL. ساختارهای فوق از لحاظ محدوده قفل شدن، محدوده فرکانسی، Jitter، زمانی و سایر مشخصات با یکدیگر مقایسه می‌شوند.

کلمات کلیدی: حلقه قفل تأخیر، DLL، PLL، محدوده قفل شدن، تولید پالس ساعت

۱- مقدمه

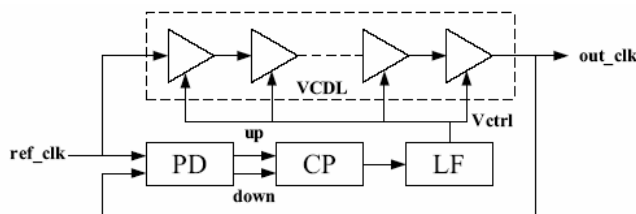
حلقه‌های قفل فاز و حلقه‌های قفل تأخیر بصورت گسترده در مدارهای تولید و بافر کردن پالس ساعت در ساختارهایی مانند میکروپروسسورها، مدارهای رابط حافظه و IC های ارتباطی استفاده می‌شوند. در حالت کلی چنانچه ضرب فرکانسی مورد نیاز نباشد، کاربرد DLL به علت دارا بودن Jitter پایین و نداشتن مشکل انباشتگی Jitter که در ساختارهای PLL وجود دارد، ترجیح داده می‌شود. ساختارهای DLL به سه دسته اصلی تقسیم‌بندی می‌شوند: نوع آنالوگ [5~1]، نوع دیجیتال [6] و ساختار حلقه دوگانه [7]. DLL های نوع آنالوگ دارای نویز و Jitter زمانی پایینی می‌باشند ولی دارای روند طراحی پیچیده و محدوده فرکانسی کوچکی می‌باشند. DLL های دیجیتالی دارای محدوده فرکانسی بزرگتری می‌باشند و

¹ Delay Locked Loops

مشابه همه مدارهای دیجیتالی دیگر امکان انتقال از یک پروسه به پروسه دیگر به راحتی میسر می‌باشد ولی Jitter ایجاد شده در این ساختارها نسبت به نوع آنالوگ بزرگتر می‌باشد. به منظور استفاده از مزیت نویز پایین در نوع آنالوگ و محدوده فرکانسی بالا که در ساختارهای دیجیتالی وجود دارد، ساختارهای حلقه دوگانه معرفی شده‌اند. در ادامه روشهای مختلفی که برای افزایش محدوده قفل شدن در ساختارهای آنالوگ معرفی شده‌اند، با یکدیگر مقایسه می‌شوند.

۲- محدوده قفل شدن در DLL های آنالوگ

یک بلوک دیاگرام ساده از DLL های مرسوم در شکل ۱ نشان داده شده است. این مدار تشکیل شده است از یک خط تأخیر قابل کنترل با ولتاژ (VCDL)، آشکارساز فاز (PD)، یک مدار پمپ بار (CP) و فیلتر حلقه (LF). ورودی خط تأخیر یک سیگنال با فرکانس مشخص است که توسط یک اسیلاتور خارجی با Jitter پایین تأمین می‌شود. سیگنال خروجی خط تأخیر توسط آشکارساز فاز با سیگنال مرجع از لحاظ اختلاف فاز مقایسه می‌شود. خروجی PD توسط بلوکهای CP و LP انتگرالگیری شده و به این ترتیب ولتاژ کنترلی لازم برای کنترل خط تأخیر ایجاد می‌شود. حلقه باید طوری قفل شود که میزان تأخیر ایجاد شده توسط خط تأخیر برابر یک دوره تناوب از سیگنال مرجع باشد.



شکل ۱. بلوک دیاگرام اولیه یک DLL نوع آنالوگ.

در ساختار ساده نشان داده شده در شکل ۱ چنانچه میزان تأخیر خارج از محدوده مشخصی قرار گیرد، DLL بصورت غلط قفل خواهد شد و یا وضعیت نامشخصی خواهد داشت. این محدوده با توجه به مشخصات حلقه و فرکانس سیگنال ورودی تعیین می‌شود. محدوده قفل شدن برای ساختار شکل ۱ با توجه به روابط زیر تعیین می‌شود [1].

$$0.5 \times T_{clk} < T_{VCDL.min} < T_{clk} \quad (1)$$

$$T_{clk} < T_{VCDL.max} < 1.5 \times T_{clk} \quad (2)$$

$$Max(T_{VCDL.min}, 2/3 \times T_{VCDL.max}) < T_{clk} < Min(2 \times T_{VCDL.min}, T_{VCDL.max}) \quad (3)$$

با توجه به نامعادلات بالا چنانچه $T_{VCDL.max} = 2 T_{VCDL.min}$ آنگاه:

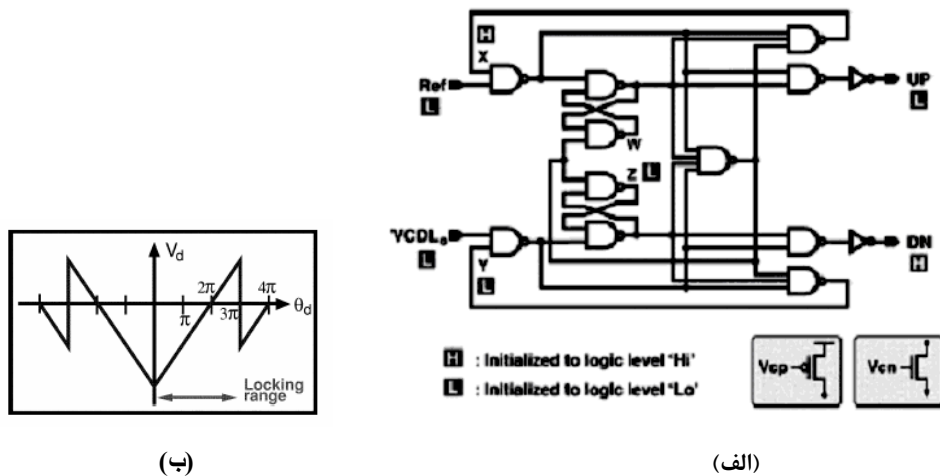
$$2/3 \times T_{VCDL.max} < T_{clk} < T_{VCDL.max} \quad (4)$$

علاوه بر این اگر $T_{VCDL.max} > 3T_{VCDL.min}$ هیچ محدوده‌ای برای کارکرد صحیح DLL وجود نخواهد داشت. از آنجائیکه تغییرات PVT می‌توانند به اندازه ۲:۱ روی T_{VCDL} اثرگذار باشند، بنابراین طراحی طبقه VCDL با شرایط فوق بسیار مشکل خواهد بود. برای افزایش محدوده کاری DLL، ایده‌های مختلفی ارائه شده است. در بخشهای بعدی به بررسی و مقایسه این روشها پرداخته می‌شود.

۲- روشهای مختلف افزایش محدوده قفل شدن در DLL های آنالوگ

۲-۱- DLL با استفاده از PD با مدار بازنشانی

در این ساختار برای افزایش محدوده قفل شدن از یک PD با داشتن قابلیت بازنشانی استفاده شده است. مدار PD استفاده شده در این ساختار به همراه منحنی بهره آن در شکل ۲ نشان داده شده است. همانطور که در شکل فوق نشان داده شده است، برخی از گرهای PD معمولی با راه اندازی مدار در سطح ولتاژهای H و L قرار می گیرند. با انجام این عمل محدوده قفل شدن که در PD فوق بدون استفاده از بازنشانی اولیه در بازه $[3\pi, \pi]$ قرار دارد به محدوده $[0, 3\pi]$ افزایش می یابد. بنابراین چنانچه میزان تأخیر در محدوده صفر و $3T/2$ از سیگنال مرجع باشد، DLL بصورت صحیح قفل خواهد شد [1].

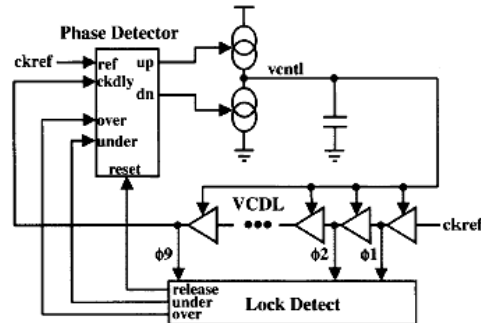


شکل ۲. (الف): PD با مدار بازنشانی (ب): منحنی بهره PD فوق.

۲-۲- ساختار تصحیح خودبخودی

بلوک دیاگرام این ساختار در شکل ۳ نشان داده شده است. در این ساختار با استفاده از مدار تشخیص قفل و اصلاحات جزئی در مدار PD سعی شده است مشکل قفل شدن غلط که در DLL های مرسوم وجود دارد، حل شود [2]. مدار تشخیص قفل شدن یک ساختار دیجیتالی می باشد که با دیکود کردن فازهای میانی طبقه VCDL و تولید سه سیگنال خروجی وضعیت DLL را تشخیص می دهد. سیگنالهای خروجی سیگنال over، under و release می شود. سیگنال over زمانی فعال می شود که میزان تأخیر خط تأخیر بیشتر از ۱،۵ برابر دوره تناوب سیگنال مرجع باشد. سیگنال under زمانی فعال می شود که میزان تأخیر طبقه VCDL کمتر از ۰،۷۵ دوره تناوب سیگنال مرجع باشد. با فعال شدن هر یک از این سیگنالها PD غیر فعال شده و این سیگنالها از طریق طبقه CP کنترل حلقه را بدست خواهند گرفت. سیگنال release زمانی فعال می شود که میزان تأخیر به ۱،۲۵ برابر دوره تناوب سیگنال مرجع برسد. با فعال شدن این سیگنال، سیگنالهای over و under غیر فعال می شوند و PD بازنشانی شده و دوباره کنترل حلقه را بدست می گیرد. در این ساختار چنانچه تعداد طبقات خط تأخیر را N فرض کنیم، در اینصورت میزان تأخیر ماکزیمم که می تواند به درستی تشخیص داده شود برابر N-1 برابر دوره تناوب سیگنال مرجع می باشد. به عنوان مثال در مورد شکل ۳ که تعداد طبقات

خط تأخیر برابر نه فرض شده مدار تشخیص قفل شدن میزان تأخیر به بزرگی ۸ برابر دوره تناوب سیگنال مرجع را می‌تواند به درستی تشخیص دهد. البته هر چه تعداد طبقات افزایش یابد میزان Jitter نیز به تبع آن افزایش خواهد یافت بنابراین میزان Jitter ایجاد شده در افزایش تعداد طبقات محدودیت ایجاد خواهد کرد.

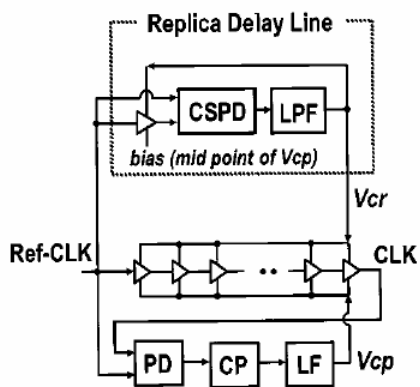


شکل ۳. بلوک دیاگرام DLL با ساختار تصحیح خودبخودی.

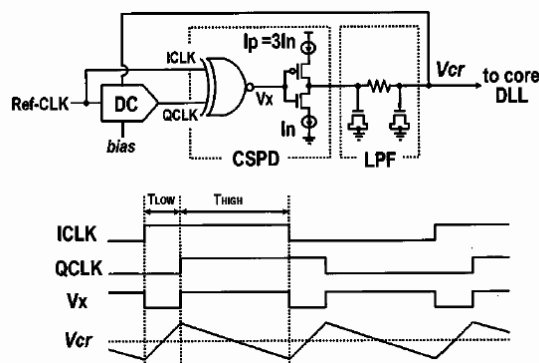
۲-۳- DLL با خط تأخیر Replica

همانطور که در شکل ۴ نشان داده شده است، این ساختار از دو حلقه تشکیل شده است. حلقه اول که در واقع همان DLL با ساختار اولیه است و حلقه دوم که شامل خط تأخیر Replica می‌باشد برای افزایش محدوده قفل شدن به ساختار اولیه اضافه شده است. با توجه به شکل دو ولتاژ کنترلی برای کنترل حلقه اصلی و حلقه شامل خط تأخیر Replica تولید می‌شود. ولتاژ V_{cr} که بوسیله خط تأخیر Replica ایجاد شده کنترل اولیه حلقه را بر عهده دارد و ولتاژ V_{cp} که تنظیم دقیق فاز سیگنال خروجی را بر عهده دارد [3].

خط تأخیر Replica با جزئیات بیشتری در شکل ۵ نشان داده شده است. همانطور که مشاهده می‌شود مدار فوق شامل یک PD از نوع CSPD که در واقع ترکیبی از یک PD معمولی که گیت XNOR آنرا شکل می‌دهد و یک پمپ بار (که جریان شارژ کننده آن سه برابر جریان دشارژ کننده می‌باشد)، می‌باشد. فیلتر حلقه نیز برای خط تأخیر Replica در این شکل نشان داده شده است. تعداد طبقات خط تأخیر اصلی هشت عدد می‌باشد. یک المان تأخیر مشابه این طبقات در خط تأخیر Replica استفاده شده است. اختلاف فاز بین خروجی این المان ایجاد کننده تأخیر با سیگنال مرجع بصورت سطح ولتاژ L در خروجی XNOR ظاهر می‌شود. زمانیکه ولتاژ V_X در حالت L قرار دارد خازن فیلتر شارژ و زمانیکه این ولتاژ در سطح H قرار دارد، خازن فیلتر دشارژ می‌شود. از آنجائیکه در حالت پایدار و هنگامیکه حلقه در حالت قفل قرار دارد باید میزان شارژ و دشارژ خازن فیلتر ثابت باشد و با توجه به اینکه جریان شارژ کننده خازن سه برابر جریان دشارژ کننده خازن می‌باشد، بنابراین باید زمانیکه در طول یک پریود خازن شارژ می‌شود یک سوم زمانی باشد که دشارژ صورت می‌گیرد. یعنی $T_{low}:T_{high}=1:3$ و یا به عبارت دیگر میزان تأخیر ایجاد شده توسط یک المان یک هشتم دوره تناوب سیگنال مرجع باشد. اما این میزان تأخیر همان تأخیری است که برای قفل صحیح DLL روی یک پریود از سیگنال مرجع به آن نیاز است. در واقع ولتاژ کنترلی V_{cr} طوری تنظیم می‌شود تا میزان تأخیر هر سلول ایجاد کننده تأخیر در خط تأخیر اصلی یک هشتم پریود سیگنال مرجع و کل تأخیر ایجاد شده برابر طول یک پریود از سیگنال مرجع باشد.



شکل ۵. پیکربندی و نحوه عملکرد خط تأخیر Replica



شکل ۴. DLL با خط تأخیر Replica

در مورد محدوده قفل شدن برای این ساختار می توان روابط زیر را نوشت:

$$T_{RDC.min} < \frac{1}{8} \times T_{Clk} \quad (۵)$$

$$\frac{1}{8} \times T_{Clk} < T_{RDC.max} < \frac{7}{8} \times T_{Clk} \quad (۶)$$

$$Max\{8 \times T_{RDC.max}, \frac{8}{7} \times T_{RDC.max}\} < T_{Clk} < 8 \times T_{RDC.max} \quad (۷)$$

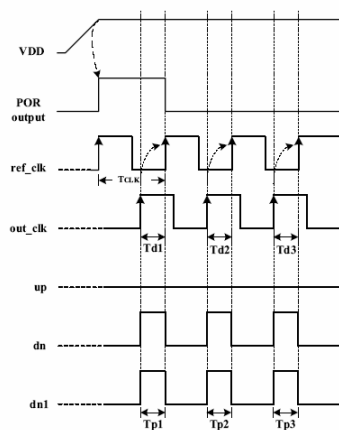
چنانچه سلول تأخیر شرط $T_{RDC.max} < 7 \times T_{RDC.min}$ را برآورده کند، DLL دارای محدوده فرکانسی خواهد شد که توسط کل خط تعیین خواهد شد. و DLL دارای عملکرد صحیحی خواهد بود. چنانچه فرکانس ورودی خیلی بزرگ باشد در اینصورت ممکن است T_{low} (شکل ۵) برای راه اندازی گیت XNOR کافی نباشد. در چنین مواقعی خط تأخیر Replica بصورت شکل ۶ اصلاح می شود. در شکل ۶ ابتدا فرکانس سیگنال ورودی تقسیم بر دو می شود و سپس خروجی تقسیم کننده فرکانس از دو آلمان تأخیر عبور می کند. عملکرد این ساختار با ساختار شکل ۵ کاملاً مشابه می باشد با این تفاوت که ساختار شکل ۶ عملکرد بهتری در فرکانسهای بالا نسبت به ساختار شکل ۵ را خود نشان می دهد.

۲-۵- DLL با مدار بازنشانی اولیه

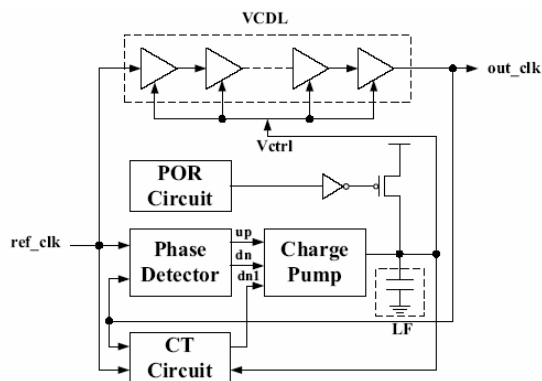
برای افزایش محدوده قفل شدن و جلوگیری از قفل شدن غلط روی هارمونیکهای سیگنال مرجع می توان در ابتدای راه اندازی DLL ولتاژ کنترل کننده خط تأخیر را در مقدار مشخصی بازنشانی کرد [4]. بلوک دیاگرام ساختاری که این امر را تحقق بخشیده در شکل ۷ آمده است. در این ساختار علاوه بر مدار POR^2 که برای بازنشانی ولتاژ کنترل استفاده شده، مدار CT^3 نیز برای حفظ سرعت قفل شدن به ساختار اولیه DLL افزوده شده است.

² Power On Reset

³ Course Tune



شکل ۷. دیاگرام زمانی ساختار شکل ۶.

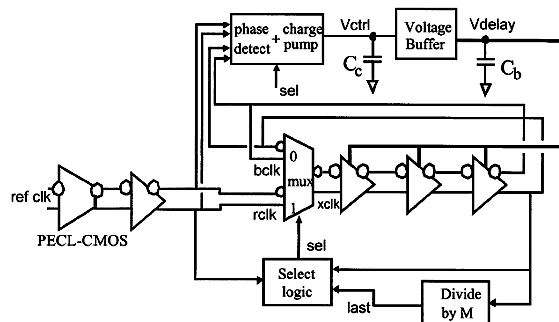


شکل ۶. DLL مدار بازنشانی اولیه.

مدار POR با راه اندازی DLL ولتاژ کنترلی خط تأخیر را در مقدار حداکثر که همان ولتاژ V_{DD} است، بازنشانی می‌کند. به این ترتیب میزان تأخیر خط تأخیر به حداقل مقدار کاهش می‌یابد. در شرایط فوق سیگنالهای dn و dn1 که به ترتیب خروجیهای PD و مدار CT می‌باشند، فعال می‌شوند تا نشان دهند که خروجی خط تأخیر نسبت به ورودی آن به شدت حالت پسفازی دارد. با فعال شدن این سیگنالها ولتاژ کنترلی شروع به کاهش می‌کند. با نزدیک شدن فاز سیگنال خروجی به فاز سیگنال ورودی، سیگنال dn1 غیر فعال می‌شود و پس از آن مدار PD تنظیم دقیق فاز را بر عهده می‌گیرد. دیاگرام زمانی این ساختار در شکل ۷ نشان داده شده است. با توجه به دیاگرام زمانی به علت بازنشانی اولیه ولتاژ کنترلی DLL فوق هیچگاه بصورت غلط قفل نخواهد شد.

۲-۶- ساختار ترکیبی PLL/DLL

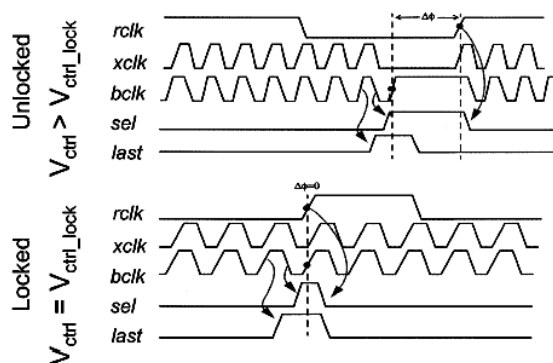
به منظور داشتن ویژگی ضرب فرکانسی PLL و ویژگی کم بودن Jitter زمانی در DLL ترکیب ساختار PLL و DLL ایده بسیار مفیدی به نظر می‌رسد. در ادامه به بررسی ساختاری که برای تحقق این ایده ارائه شده پرداخته می‌شود. بلوک دیاگرام اولیه ساختار ترکیبی که $MDLL^4$ خوانده می‌شود در شکل ۸ نشان داده شده است [5]. در این ساختار از یک مالتی پلکسر به منظور سوئیچ بین حالت PLL و DLL استفاده شده است.



شکل ۸. ساختار ترکیبی PLL/DLL.

⁴ Multiplying DLL

دیگرام زمانی ساختار MDLL در شکل ۹ نشان داده شده است. با آمدن لبه بالارونده سیگنال ورودی مالتی پلکسر راه را برای عبور آن به خط تأخیر باز می‌کند. پس از عبور لبه بالا رونده مالتی پلکسر خروجی خط تأخیر را به ورودی آن متصل می‌کند تا یک اسیلاتور حلقوی شکل گیرد. شمارنده مطابق ساختارهای PLL به منظور ضرب فرکانسی استفاده شده است. با اتمام شمارش شمارنده سیگنال last فعال می‌شود. از این سیگنال استفاده می‌شود تا از طرفی راه برای عبور لبه بعدی پالس سیگنال مرجع باز شود و از طرف دیگر اختلاف فاز که عبارت است از فاصله زمانی بین آخرین لبه پالس تولید شده توسط اسیلاتور حلقوی و لبه بعدی سیگنال ورودی، توسط مدار PD اندازه‌گیری شود. در ساختار ارائه شده بازنشانی صورت گرفته که با آمدن هر لبه سیگنال ورودی انجام می‌گیرد باعث کاهش قابل توجه Jitter زمانی انباشته شده که در PLL ها وجود دارد، می‌شود.



شکل ۹. دیگرام زمانی ساختار MDLL.

۳- مقایسه ساختارهای مختلف DLL های آنالوگ

مشخصات مداری ساختارهای ارائه شده در جدول ۱ برای فرایندهای ساخت ذکر شده بصورت نمونه‌ای آورده شده‌اند. ردیف مربوط به محدوده قفل شدن هیچ وابستگی نسبت به تکنولوژی ساخت ندارد و فقط نتیجه پیکربندی و آرایش ساختار می‌باشد. با توجه به ساختارهای ارائه شده محدوده قفل شدن در DLL با مدار بازنشانی و ساختار ترکیبی PLL/DLL بینهایت می‌باشد. اما این دو ساختار در برخی کاربردها دارای محدودیتهایی نیز هستند. به عنوان مثال ساختار DLL با مدار بازنشانی به علت بازنشانی اولیه دارای زمان قفل شدن بالایی می‌باشد. از طرف دیگر هر دو ساختار مذکور برای قفل روی فرکانس کار باید بازنشانی شوند و بنابراین بعد از قفل روی فرکانس خاص، فرکانس ورودی امکان تغییر را نخواهد داشت مگر اینکه سیستم از ابتدا بازنشانی شود. از طرف دیگر در مواردی که ضرب فرکانسی مورد نیاز نباشد و هدف فقط تطابق فاز ورودی و خروجی باشد، ساختار ترکیبی به لحاظ توان مصرفی بالا و عملکرد ضعیف کاربردی نخواهد داشت. از بین ساختارهای ارائه شده ساختار تصحیح خودبخودی و DLL با خط تأخیر Replica دارای محدوده قفل شدن و سرعت قفل شدن مطلوب می‌باشد چرا که فرکانس ورودی حین عملکرد سیستم بدون اختلال در قفل شدن حلقه قابل تغییر بوده و از طرف دیگر نیازی به بازنشانی اولیه و ولتاژ کنترلی نیست. در ساختار تصحیح خودبخودی تنها در شرایطی مدار تشخیص قفل به درستی کار خواهد کرد که دوره کارکرد سیگنال ورودی برابر ۵۰٪ باشد.

جدول ۱. مقایسه ساختارهای مختلف DLL آنالوگ.

نوع ساختار	پروسه (μm)	محدوده فرکانسی	rms Jitter (ps)	محدوده قفل شدن
PD با مدار بازنشانی	۰,۳۵	۱۵۰-۲۵۰MHz	۲	$0 < T_{\text{delay}} < 3T/2$
ساختار تصحیح خودبخودی	۰,۵	۲۰۰-۵۰۰MHz	۳,۲	$0 < T_{\text{delay}} < 8T$
DLL با خط تأخیر Replica	۰,۳۵	۶۲,۵-۲۵۰MHz	۴	$0 < T_{\text{delay}} < 7T$
DLL با مدار بازنشانی اولیه	۰,۳۵	۱۰۰-۱۹۰MHz	۸,۴	بینهایت
ساختار ترکیبی PLL/DLL	۰,۱۸	۲۰۰MHz-۲GHz	۱,۶۴	بینهایت

۴- نتیجه گیری و پیشنهادات

در این مقاله ساختارهای مختلفی که برای افزایش محدوده قفل شدن DLL های نوع آنالوگ ارائه شده‌اند، بررسی و با یکدیگر مقایسه شده‌اند. محدوده قفل شدن با توجه به ساختار ارائه شده تعیین می‌شود و ارتباطی با فرایند ساخت ندارد. بنابراین مقایسه ساختارها از لحاظ محدوده قفل شدن و محدوده فرکانسی بدون توجه به پروسه ساخت کاملاً معقول می‌باشد. استفاده از ساختار ترکیبی PLL/DLL به عنوان سینتی‌سایزر فرکانسی بسیار مطلوب می‌باشد. چرا که ضرب فرکانسی به سادگی در این ساختار امکانپذیر می‌باشد.

۵- فهرست مراجع و مآخذ

- [1] Ch. Kim et al., "A low-power small-area /spl plusmn/7.28-ps-jitter 1-GHz DLL-based clock generator" *IEEE J. Solid-State Circuits*, vol. 37, pp.1414 – 1420, Nov. 2002.
- [2] D.J. Foley et al., "CMOS DLL-based 2-V 3.2-ps jitter 1-GHz clock synthesizer and temperature-compensated tunable oscillator," *IEEE J. Solid-State Circuits*, vol. 36, pp.417 – 423, March 2001.
- [3] Y. Moon et al., "An all-analog multiphase delay-locked loop using a replica delay line for wide-range operation and low-jitter performance," *IEEE J. Solid-State Circuits*, vol. 35, pp.377 – 384, March. 2000.
- [4] K. H. Chen, Y. L. Lo, "A fast-lock DLL with power-on reset circuit," *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*, vol. 4, pp. IV - 357-60, May 2004
- [5] R. Farjad-Rad et al., "A low-power multiplying DLL for low-jitter multigigahertz clock generation in highly integrated digital chips," *IEEE J. Solid-State Circuits*, vol. 37, pp.1804 – 1812, Dec. 2002.
- [6] B.W. Garlepp et al., "A portable digital DLL for high-speed CMOS interface circuits," *IEEE J. Solid-State Circuits*, vol. 34, pp. 632 – 644, May 1999.
- [7] Y. -J Jung et al., "A dual-loop delay-locked loop using multiple voltage-controlled delay lines," *Solid-State Circuits, IEEE J. Solid-State Circuits*, vol. 36, PP.784 – 791, May 2001.