

## مدار تولید کننده بردارهای آزمون در خود آزمون داخلی

الهام زمانی دوست

دانشگاه شهید بهشتی، دانشکده برق و کامپیوتر

E-mail: Zamani\_elham@yahoo.com

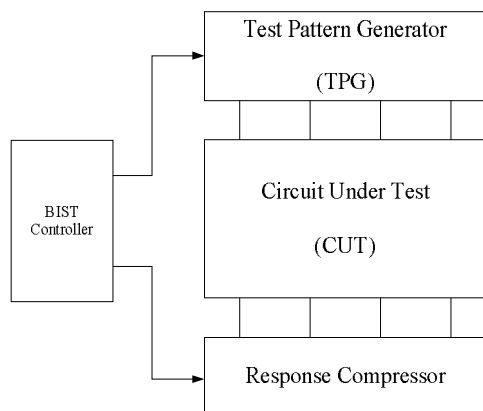
چکیده - آزمون یکی از مراحل مهم در تولید مدارهای *VLSI* است. در مدار های خود آزمون داخلی مسایل مهمی مانند مساحت مدار آزمون و توان مصرفی مورد توجه قرار می گیرد. در این مقاله ساختار جدیدی برای تولید بردارهای آزمون ارائه شده است که نسبت به ساختار های قبلی از کارایی بالاتری برخوردار می باشد.

کلید واژه - آزمون، LFSR، توان مصرفی

### 1- مقدمه

احتمالاً تنها راه عملی برای آزمون SOC ها است و با استفاده از آن، آزمون مدارها در سرعت واقعی مدار ها نسبت به آزمون خارجی بسیار آسانتر است. تولید بردار آزمون در خودآزمون درونی به روش - های مختلفی صورت می گیرد که از آن جمله می توان به تولید بردار آزمون با استفاده از الگوهای ذخیره شده، آزمون کامل، آزمون شبه کامل، آزمون شبه تصادفی و آزمون شبه تصادفی وزن دار اشاره کرد [2]. توان مصرفی در هنگام آزمون، نسبت به توان مصرفی در حالت کار عادی مدار بسیار بیشتر است و حتی می تواند دو تا سه برابر توان مصرفی مدار در حالت کار عادی مدار باشد که این امر می تواند با ایجاد گرمای بسیار زیاد در عملکرد مدار اختلال ایجاد کند. دلایل افزایش توان مصرفی مدار در هنگام آزمون در حالت عادی کار مدار وجود ندارد و بنابراین برای کاهش آن باید تمهیدات جداگانه ای اندیشید. با توجه

آزمون یکی از پروسه های مهم در صنعت میکرو الکترونیک می باشد که در آن عملکرد محصول ساخته شده با عملکردی که از آن انتظار می رود مقایسه می گردد. مسایل زیادی در آزمون مطرح می باشند که از آن جمله می توان به نوع آزمون، پوشش اشکال، و زمان مورد نیاز برای آزمون اشاره نمود. آزمون داخلی نوع دیگری از آزمون است که در آن مدار تولید کننده بردار های آزمون نیز به همراه مدار اصلی بر روی تراشه ساخته می شوند و پس از اعمال بردار های آزمون به مدار، پاسخ ها با پاسخ های مورد نظر مقایسه می شود. اگر مدار آنالیز کننده پاسخ، نیز بر روی تراشه ساخته شود، آزمون را خودآزمون درونی می نامند [1]. خود آزمون درونی امروزه مورد توجه بسیاری قرار گرفته است و



شکل 1 ساختار مدار خودآزمون

LFSR مهمترین و پرکاربردترین سخت افزار مورد استفاده در خود آزمون است. سادگی ساختار آن، مساحت اضافی ناشی از مدار خود آزمون و همچنین هزینه مربوطه به طراحی خود آزمون را به حداقل می رساند. بردارهای تصادفی با خاصیت تصادفی خوب را می توان به سادگی توسط LFSR تولید نمود. احتمال همپوشانی پایین، استفاده از LFSR را در تحلیل پاسخ متداول ساخته است.

D-Flip-Flop به همراه گیت خطی (Exclusive-(XOR)) (OR) اجزاء اصلی LFSR می باشند. در LFSR خارجی، گیتهای XOR خارج از مسیر شیفت قرار می گیرد، در حالیکه در LFSR داخلی گیتهای XOR داخل مسیر شیفت قرار می گیرند، LFSR خارجی را LFSR نوع اول و LFSR داخلی را LFSR نوع دوم می نامند [3]. چند جمله ای مربوط به هر LFSR را چند جمله ای مشخصه می نامند. چند جمله ای مشخصه عموماً به شکل زیر نشان داده می شود [4].

$$g(x) = g_n x^n + g_{n-1} x^{n-1} + \dots + g_0 x^0$$

یکی از خاصیت های مهم LFSR، خاصیت بازگشتی آن است. این خاصیت بیانگر این مطلب است که حالت LFSR

به اینکه آزمون شبه تصادفی یکی از پرکاربردترین استراتژی ها در خودآزمون درونی می باشد، کاهش توان مصرفی در این ساختار بیشتر مورد توجه قرار گرفته است.

## LFSR -2

Linear Feedback Shift Register (LFSR) قسمت اصلی مدار تولید کننده بردار آزمون در آزمون شبه تصادفی است. LFSR دارای خاصیت تصادفی است و بردارهای تولید شده توسط آن، همبستگی بسیار اندکی با یکدیگر دارند و اگر خروجی های آن به ورودی های مدار تحت آزمون وصل شود، تعداد بیشتری از خازن های مدار شارژ و یا تخلیه می گردند.

علاوه بر این در حالت عادی کار سیستم بر روی تراشه، راهکارهای زیادی برای کاهش توان مصرفی سیستم اجرا می گردد که سبب کاهش توان مصرفی سیستم می گردد. مدیریت توان پویا می باشد که در این روش بلاک هایی از سیستم که در یک دوره زمانی، فعالیت آن ها براس سیستم ضروری نمی باشد، خاموش می گردند تا توان مصرفی سیستم کاهش یابد. اما در هنگام آزمون برای کم کردن زمان آزمون بلاک ها به شکل موازی تحت آزمون قرار می گیرند که این امر سبب ایجاد گرمای بسیار زیادی در تراشه می گردد. از سوی دیگر مدارهای آزمون بر روی تراشه در حالت عادی کار مدار خاموش می باشند، اما در هنگام آزمون این مدارها نیز به همراه مدار های اصلی فعالیت می کنند که سبب بالا رفتن توان مصرفی تراشه در هنگام آزمون می شوند.

طوری تعیین نماید که از طریق اعمال این الگو، گذارهای ناشی از شیفت دادن مقادیر در زنجیره پویش بلوکه شوند تا از پخش آنها در سراسر مدار جلوگیری به عمل آید. با این کار تعداد گذارهای ایجاد شده در مدار و در نتیجه توان مصرف شده در زمان آزمون کاهش خواهد یافت.

### 2-3 تغییر در استراتژی کلاک دهی

در [7] فلیپ فلاپ های LFSR به دو دسته تقسیم شده اند و هر دسته با فرکانسی برابر نصف فرکانس LFSR معمولی کار می کنند. این امر سبب می شود که تعداد گذارها در ورودی مدار کاهش یابد و بدین ترتیب توان مصرفی متوسط و بیشینه کاهش یابد. ورودی مدار باتوجه به فعالیت کلیدزنی به دو دسته تقسیم می گردد. برای مدار آزمون نیز از دو LFSR که با فرکانس های متفاوت کار می کنند، استفاده می گردد.

### 3-3 جلوگیری از انتشار گذارها

روش مطرح شده در [8] سعی می کند در ساختارهای خودآزمون درونی، با تغییر در ساختار سلول پویش، ورودی های مدار تحت آزمون را در هنگام شیفت دادن داده ها در داخل زنجیره پویش بدون تغییر نگه دارد. از این طریق گذارهای ایجاد شده در مسیر پویش نمی توانند با انتشار در مدارهای داخلی واحد تحت آزمون باعث مصرف توان اضافی گردند. با این که این روش توان را تا حد زیادی کاهش می دهد.

### 4-3 تقسیم مدار به بخش های کوچکتر

ایده ارائه شده [9] بر مبنای تقسیم مدار به دو بخش کوچکتر استوار است. این تقسیم بندی به شکلی صورت

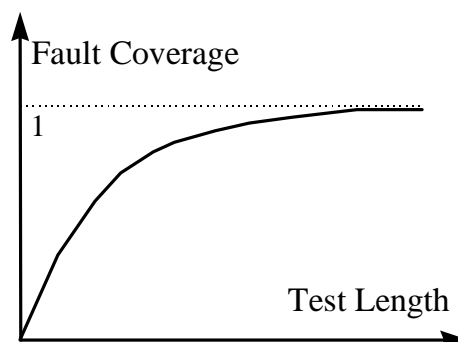
بعد از دوره معینی تکرار می گردد. رابطه بازگشتی را می توان توسط معادله زیر بیان نمود [10]:

$$G(x) = \frac{\sum_{i=1}^n g_i x^i (a_{-i} x^{-i} + \dots + a_{-1} x^{-1})}{g(x)}$$

در معادله فوق  $G(x)$  برداری تولید شده توسط LFSR می باشد و  $a_{-i}$  حالت اولیه flip-flop  $i$  ام است. اگر حالت اولیه را  $(00\dots 01)$  در نظر گیریم، خواهیم داشت.

$$G(x) = \frac{1}{g(x)}$$

در آزمون شبه تصادفی تعداد معینی از بردارهای تصادفی به مدار اعمال می گردد [5] و در آن توالی بردارهای آزمون مشخص است و بردارها دارای خاصیت تصادفی می باشند.



شکل 3 همپوشانی اشکال بر حسب طول آزمون [3]

### 3- توان مصرفی

برای کاهش توان مصرفی آزمون روش های مختلفی پیشنهاد شده اند که در ادامه به بررسی برخی از آنها خواهیم پرداخت.

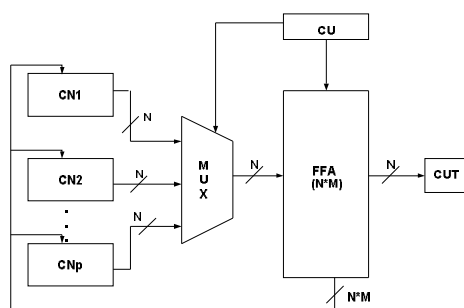
### 1-3 کنترل ورودی ها

در [6] استفاده از ورودی ها برای کاهش فعالیت های کلیدزنی در مدار پیشنهاد شده است. الگوریتمی که برای این کار ارائه شده است، سعی می کند الگوی ورودی را

در رابطه بالا،  $v_i$  ( $i = 1$  to  $N$ ) خروجی شبکه پشخورد و نماینگر یک بردار  $N$  بیتی است

$$x_j D^K \quad (K = 1 \text{ to } M) \quad \text{و} \quad (V = [v_1 \ v_2 \ \dots \ v_N])$$

نماینگر تاخیر یافته بردار  $V$  ( $K$  امین تاخیر یافته بردار  $V$ ) است.  $x_{ijk}$  ضرب پشخورد می باشد و در صورتی که مقدار آن یک باشد، سیگنال  $x_{jDK}$  به ورودی گیت XOR وصل می گردد و  $M$  تعداد فلیپ فلاپ ها در هر سطر ساختار LFSR دو بعدی است. با استفاده از این ساختار تنها بردارهای موردنیاز تولید می شود از تولید بردارهای ناخواسته پرهیز می گردد. عیب این روش مساحت زیاد مدار ازمون به علت وجود شبکه های مختلف و مالتی پلکسر می باشد.



شکل 4 ساختار LFSR دو بعدی

#### 5- ساختار جدید

در ساختار جدید به جای استفاده از ROM از یک شبکه قابل تغییر با استفاده از گیت های پایه (XOR) و یک مدار کنترل ضمن حفظ کارایی مدار قبلی مساحت مدار ازمون به طرز قابل ملاحظه ای کاهش خواهد یافت. در این ساختار هر ورودی با استفاده از ورودی های قبلی ساخته خواهد شد و تعداد ورودی های مورد استفاده به تعداد ستون های ساختار LFSR دو بعدی بستگی دارد. در مدار نشان داده شده در شکل 5، برای تولید هر بردار از دو ورودی قبلی

می گیرد که کمترین وابستگی بین بخشهای کوچکتر وجود داشته باشد. در این صورت تعداد بردارهای مورد نیاز برای آزمون کاهش می یابد و همچنین زمان آزمون کوتاهتر خواهد بود. استفاده از الگوریتم مناسب در تقسیم مدار به بخشهای کوچکتر در این روش اهمیت بسیاری دارد.

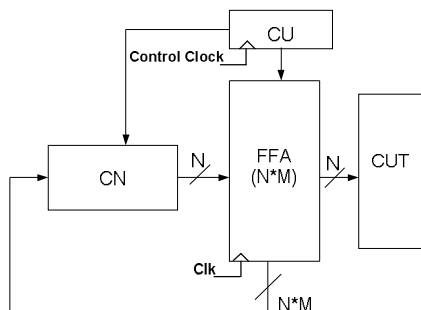
#### 4 بررسی روشهای حذف بردار نامطلوب

قسمت زیادی از توان مصرفی در هنگام آزمون در اثر اعمال بردارهایی است که در افزایش پوشش اشکال تاثیری ندارند. این بردارها به دلیل عدم کنترل کافی بر روی LFSR و خاصیت تصادفی LFSR تولید می گردند. برای کاهش اثر این بردارها، تلاش های بسیاری انجام گردید. در [10] روشی برای حذف کردن اینگونه بردارها ارایه گردیده است. در این روش، با استفاده از یک مدار کنترل، از اعمال این بردارها به مدار جلوگیری می گردد. مدار کنترل با استفاده از بلاک رمزگشا پیاده سازی شده است.

#### 4-1 LFSR دو بعدی

در [12] ساختار جدیدی برای تولید بردارهای مطلوب ارایه گردیده است که LFSR دو بعدی نام دارد (شکل 4). در مقایسه با LFSR مرسوم، این ساختار قادر است دسته معینی از بردارها را تولید نماید. در مقایسه با ساختار LFSR معمولی، پشخورد از فلیپ فلاپ های سایر LFSR های موازی به ورودی گیت XOR وجود دارد. چند جمله ای مشخصه LFSR دو بعدی در رابطه زیر مشخص است.

$$v_i = \sum_{j=1}^N \sum_{k=1}^M x_{ijk} (x_j D^k) + l_i \quad i = \{1, \dots, N\}$$



شکل 6 ساختار جدید LFSR دو بعدی جدید

جدول 1 نتایج شبیه سازی در مدارهای مختلف

Circuits	PI	PO	P	$N_{FF}$	FC%
C432	36	6	27	78	100
C499	41	32	52	85	100
C880	60	26	16	120	100
C1355	41	32	84	87	100
C3540	50	22	84	105	100
C6288	32	32	12	64	100

## 7- مراجع

[1] J. M. Rabay, "Digital Integrated Circuit: A Design Perspective," Prentice Hall Electronics and VLSI Series, New Jersey, 1996.

[2] [www.ee.ncu.edu.tw/~ccsu/Teach/Test/VLSITest.htm](http://www.ee.ncu.edu.tw/~ccsu/Teach/Test/VLSITest.htm)

[3] P. Girard, "Low Power Testing of VLSI Circuits: Problems and Solutions", International Symposium on Quality Electronic Design, pp. 173 -179, 2000.

[4] Hertwig and H.J. Wunderlich, "Low Power Serial Built-In Self-Test," European Test Workshop (ETW), pp. 49-53, 1998.

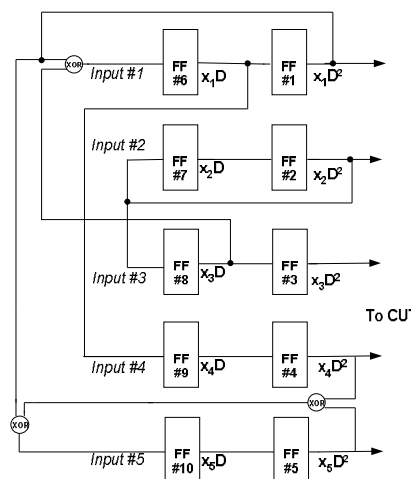
[5] P. Girard, et. all, "A Modified Clock Scheme for a Low Power BIST Test Pattern Generator," Proc. VLSI Test Symp. pp. 306--311, 2001.

[6] N.C. Lai, and S.J. Wang, "A Resending Technique for LFSR-Based BIST Applications" Proceedings of the 11th Asian Test Symposium, pp. 200 -205, Nov. 2002.

استفاده می شود. در مقایسه با ساختار قبلی علاوه بر حذف شبکه های مختلف مالتی پلکسهای بزرگ نیز حذف می شود. مدار کنترلر برای تغییر شبکه فیدبک به منظور کنترل بالاتر بر بردارهای تولید شده استفاده می شود.

## 6- نتایج شبیه سازی

نتایج شبیه سازی بر روی مدارهای خانواده ISCAS'85 Benchmark نشان دهنده کاهش زمان و توان مصرفی آزمون می باشد.  $PI$  تعداد ورودی های هر مدار،  $PO$  تعداد خروجی ها،  $P$  تعداد بردارهای آزمون مورد نیاز برای رسیدن به پوشش اشکال مورد نظر و  $N_{FF}$  تعداد فلیپ فلاپ های مورد نیاز را برای پیاده سازی ساختار جدید، نشان می دهد. ستون آخر نیز پوشش اشکال را نشان می دهد. مقایسه بین تعداد ترانزیستورهای مورد نیاز برای تولید سیگنال های معین با استفاده از ROM و 2-D LFSR در برای تعداد مساوی از بردار های معین نیز محاسبه شده است. پارامتر های مربوط توان مصرفی در جدول 2 آمده است.



شکل 5 ساختار جدید LFSR دو بعدی جدید برای C17

[7] O. Sinanoglu, I. Bayraktaroglu, and A. Orailoglu, "Test Power Reduction Through Minimization of Scan Chain Transitions", VLSI Test Symposium, 2002.

[8] X. Yuan and C. H. Chen, "Automated Synthesis of Multiple-Sequence of Test Generator Using 2-DLFSR," in Proc. IEEE International ASIC Conf. pp 75-79, 1998.

جدول 3 مقایسه بین ساختار جدید و LFSR معمولی

Circuits	LFSR				2-D LFSR			
	P	FC%	WSA <sub>avg</sub>	WSA <sub>peak</sub>	P	FC%	WSA <sub>avg</sub>	WSA <sub>peak</sub>
C432	365	98.9	93	153	27	100	87	134
C499	495	99.2	128	203	52	100	93	184
C880	491	98.6	167	288	16	100	115	259
C1355	998	99.1	305	421	84	100	165	368
C3540	950	96.5	950	1278	84	100	832	1229
C6288	765	99.6	2034	2561	12	100	2011	2160

جدول 2 نتایج شبیه سازی در مدارهای مختلف

Circuits	Number of Transistors		Reduction
	ROM-based	2-D LFSR based	
C432	2059	1665	20%
C499	4400	2638	40%
C880	1996	1401	30%
C1355	7034	2629	63%
C3540	9356	3911	58%
C6288	848	786	8%