

پیاده سازی یک کنترلر هوشمند فازی سخت افزاری توسط مدارات مجتمع آنالوگ

مهدی دولتشاهی

مهدی رضائی

امیرحسین ابوطالبی

کارشناس ارشد برق-الکترونیک

کارشناس مهندسی کامپیوتر- نرم افزار

کارشناس مهندسی کامپیوتر- نرم افزار

مدرس دانشگاه آزاداسلامی واحد مبارکه

دانشگاه آزاداسلامی واحد مبارکه

دانشگاه آزاداسلامی واحد مبارکه

mehdi_dolatshahi@yahoo.com

mahdi_rezaei_j@yahoo.com

آدرس محل کار : اصفهان - مبارکه - بلوار معلم - دانشگاه آزاد اسلامی واحد مبارکه

۱- چکیده

پس از بیان منطق فازی توسط پرفسور لطفی زاده در سال ۱۹۶۵ امروزه بشر توانسته است این علم نوین را در شاخه های گوناگون علمی به کار گرفته و دستاوردهای شگرفی را در صنعت، علوم پزشکی، علوم نظامی و دیگر شاخه های علوم مهندسی و پایه کسب کند. طراحی کنترلرهای فازی هوشمند با دو فاکتور اساسی ضریب اطمینان و سرعت پاسخگویی بالا یکی از مهمترین این کاربردها در شاخه های گوناگون علوم می باشد. بهترین مدل برای طراحی کنترلرهایی که دو ویژگی بالا را به صورت بهینه و کارآمد پیاده سازی کند و عملکرد سیستم را تضمین کند طراحی سخت افزاری قسمت های مختلف کنترلر می باشد. از این رو در این مقاله بلوکهای پایه جهت پیاده سازی یک کنترلر فازی آنالوگ را به صورت مدارات مجتمع شبیه سازی و ارائه کرده ایم. برای نمایش عملکرد صحیح سیستم و ضریب اطمینان آن کلیه مراحل در نرم افزار orCAD شبیه سازی و ارائه شده است. در هر مرحله نیز خروجی هر مدار که به صورت شکل موج آنالوگ می باشد به ازای ورودی های متفاوت ارائه شده است. این امر عملکرد درست سیستم و کارایی و انعطاف پذیری آن را نشان می دهد.

واژه های کلیدی: مدارات مجتمع، ترانزیستور BJT، توابع تعلق، فازی ساز، آینه جریان، مقسم آنالوگ، Open-loop، Closed-loop

۲- مقدمه

با پیشرفت منطق فازی، این علم نوین در صنعت به کار گرفته شده است و شاهد پیشرفت آن در تمامی شاخه های علوم هستیم. کشورهای صنعتی جهان هر روزه وسایلی را به بازار عرضه می کنند که همه بر مبنای منطق فازی عمل می کنند. از وسایل خانگی مانند لباسشویی، جارو برقی و ... گرفته تا سیستم های تهویه، قطار ها و اتومبیل های هوشمند. سیستم های کنترلی، دیگر نیازی به محاسبات دقیق ندارند و با استفاده از استنتاج های فازی، از سیستم های پیچیده و گیج کننده ریاضی به سیستم هایی کارا و قابل فهم برای بشر تبدیل شده اند. اساس کار در تمامی این سیستم ها بر پیاده سازی یک سیستم فازی به صورت سخت افزاری استوار است. بنابراین در این مقاله به بررسی نحوه پیاده سازی یک کنترلر فازی هوشمند پرداخته ایم و با ارائه مدل های سخت افزاری

عملکرد یک کنترلر فازی را بررسی کرده ایم. اساس کار بر پیاده سازی الگوریتم های فازی به صورت سخت افزاری بر روی سطح سیلیکون استوار است. بنابر این با پیاده سازی مدارهای پایه برای محاسبه قوانین "if - then"، می توان تراشه هایی را ارائه کرد که بر مبنای منطق فازی عمل می کنند. برای این منظور به طراحی سخت افزاری بلاک های اساسی زیر نیاز داریم:

۱- مدارهای توابع تعلق فازی (MFC)

۲- مدارهای T-Norm و T-CoNorm

۳- مدارهای نتیجه (برای کنترلرهای Takagi - Sugeno)

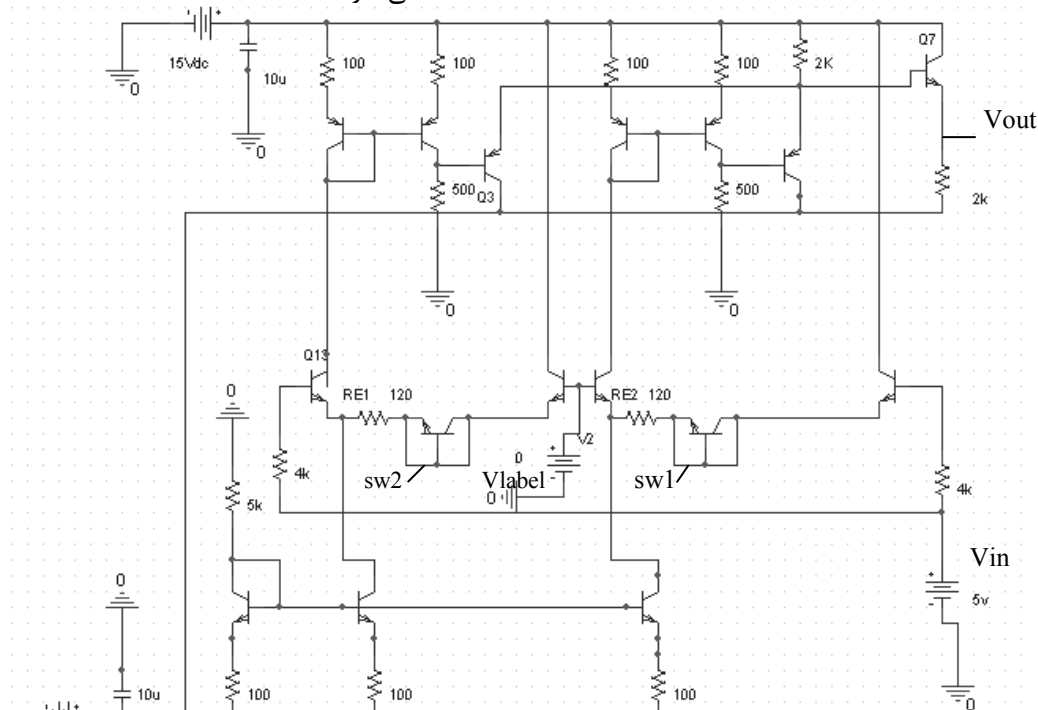
۴- مدارهای دفازی ساز

در ادامه به بررسی بلاک های فوق می پردازیم.

به صورت ولتاژ به مدار اعمال می شوند. مدار تابع عضویت در شکل ۱ آورده شده است. [1-10]
به ورودی های بهینه شده [1, -1] ولتاژ انطباق [5, -5] داده می شود. به ازای هر ولتاژ ورودی متعلق به [5, -5] که به V_{in} اعمال شود، درجه تابع عضویت منطبق با آن به صورت یک ولتاژ -5V- 0V در ترمینال خروجی V_{out} مشاهده می شود.

۳- مدارهای توابع تعلق فازی (MFC)

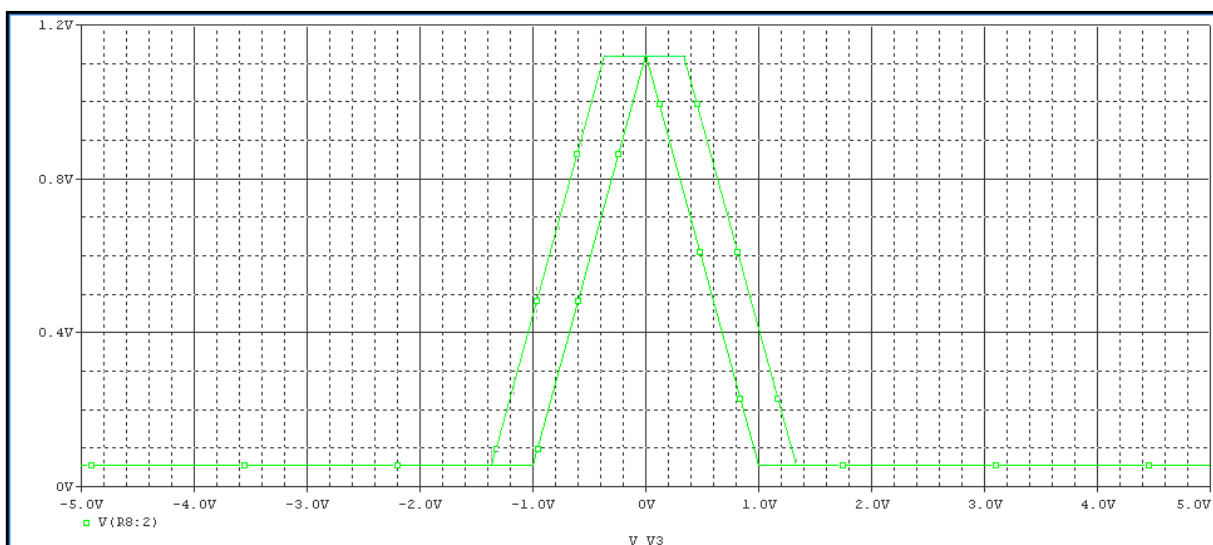
مرحله اول در طراحی کنترلر فازی، "فازی سازی" است. این کار توسط مدارهای تابع تعلق فازی (MFC) انجام می گیرد. ورودی های مدار MFC، بصورت سیگنالهایی از دنیای بیرون به مدار وارد می شوند. این سیگنالها معمولاً



شکل ۱ - مدار تابع عضویت [11]

، تابع عضویت از نوع \wedge و هرگاه سوئیچ ها قطع باشند تابع فوق از نوع π خواهد بود. نتایج شبیه سازی مدار در نرم افزار spice در شکل ۲ مشاهده می شود.

دو نوع تابع عضویت از نوع \wedge و نوع π را می توان توسط مدار فوق به کار گرفت. انتخاب توسط سوئیچ های SW انجام می گیرد. وقتی هر دوی این سوئیچ ها روشن باشند



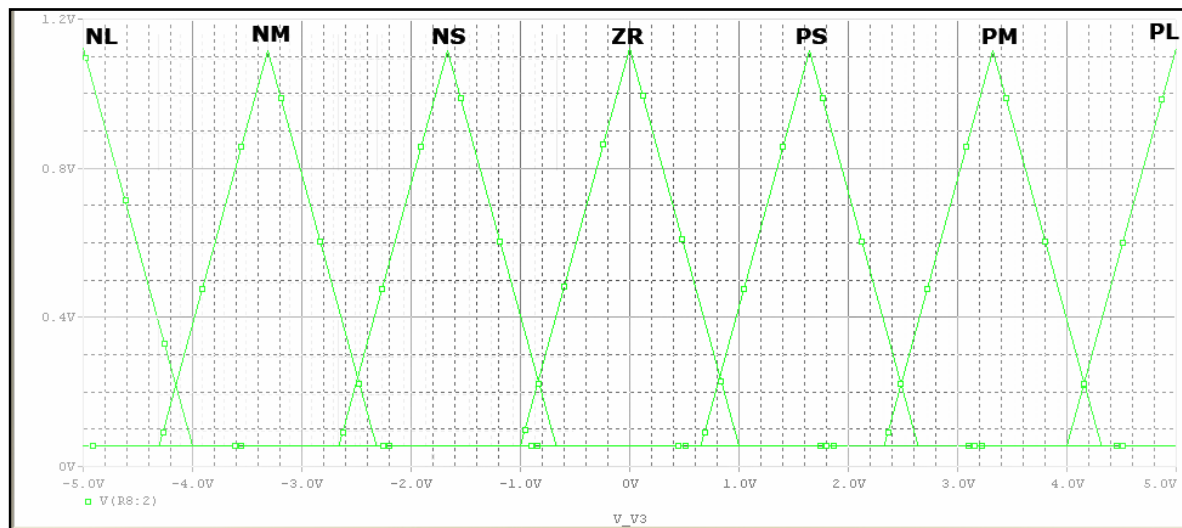
شکل ۲- دو تابع عضویت از نوع π و \wedge

مشاهده شده را برای مقادیر مختلف نمایش می دهد.

برچسب تابع عضویت از طریق وصل کردن ولتاژی به Vlabel مطابق با شکل ۱ تعیین می گردد. شکل ۳ نتایج

برچسب ها	NL	NM	NS	ZR	PS	PM	PL
مقادیر Vlabel	-5 v	-3.3 v	-1.7 v	0 v	1.7 v	3.3 v	5 v

جدول ۱- مقادیر مختلف Vlabel برای تعیین تابع عضویت



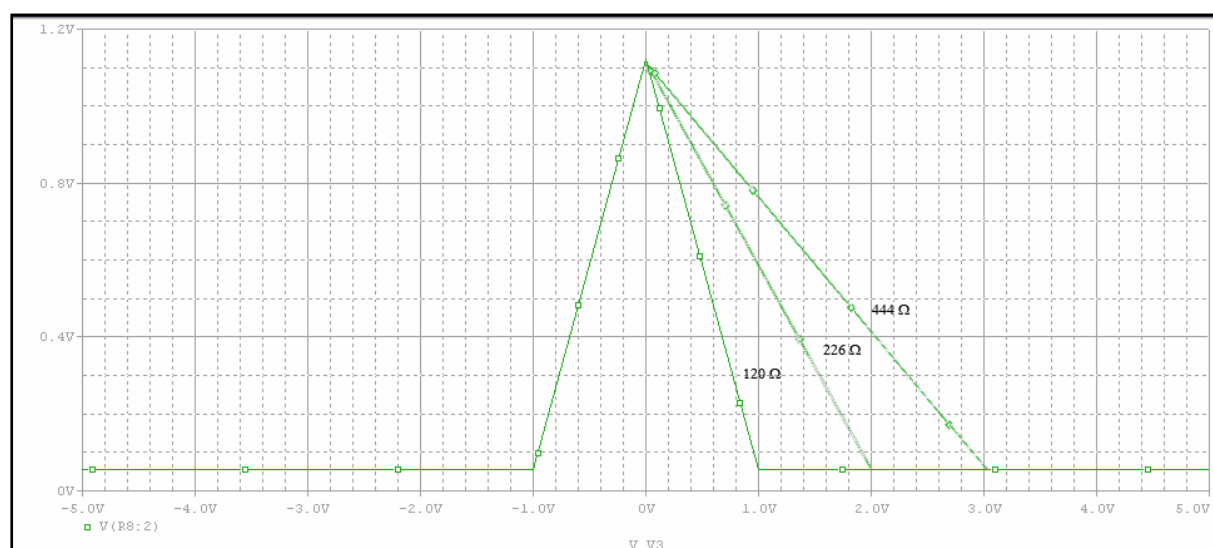
شکل ۳- تابع عضویت به ازای مقادیر مختلف Vlabel

۴ و همچنین مقادیر مختلف مقاومت RE1 و مقدار ثابت RE2 در شکل ۵ نشان داده شده است.

شیبهای چپ و راست توابع عضویت را می توان با تغییر مقاومت های RE1 و RE2 تغییر داد. این مطلب به ازای مقادیر مختلف مقاومت RE2 و مقدار ثابت RE1 در شکل

RE2=	Vlabel=0v		
	RE1=120 Ω		
	120 Ω	226 Ω	444 Ω

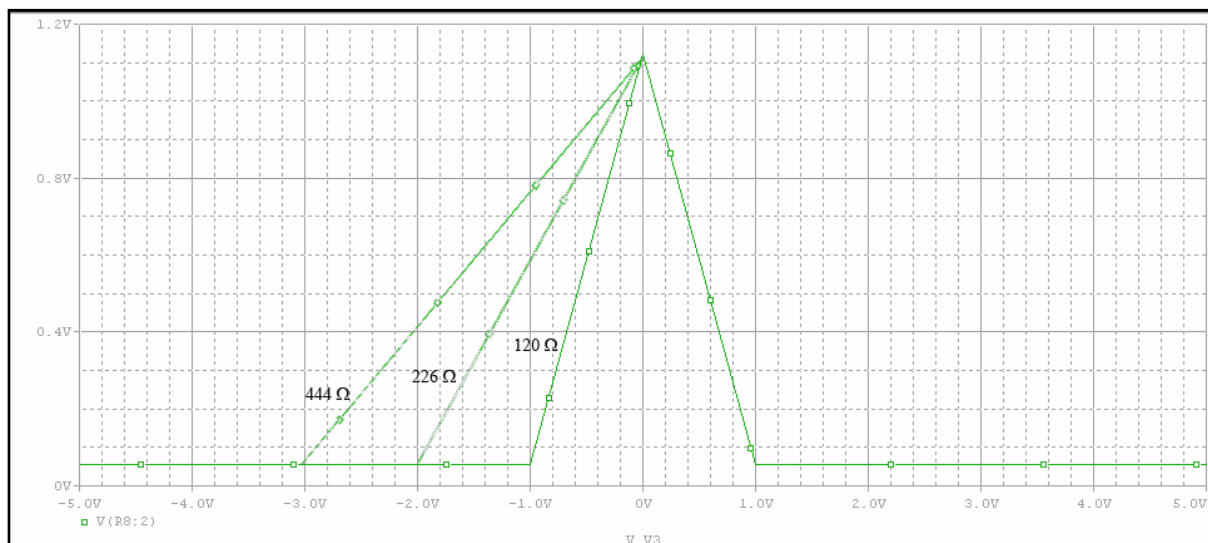
جدول ۲- تغییر شیب توابع عضویت با استفاده از مقاومت های RE1, RE2



شکل ۴ - تغییر شیب توابع عضویت به ازای مقادیر مختلف مقاومت RE2 و مقدار ثابت RE1

RE1=	Vlabel=0v		
	RE2=120 Ω		
	120 Ω	226 Ω	444 Ω

جدول ۳- تغییر شیب توابع عضویت با استفاده از مقاومت‌های RE1, RE2



شکل ۵ - تغییر شیب توابع عضویت به ازای مقادیر مختلف مقاومت RE1 و مقدار ثابت RE2

۳-۱- عملگرهای T-Norm, S-Norm

از آنجائی که ظرفیت الکتریکی ورودی در هر پارامتر ورودی متناسب با تعداد N ورودی است، پیچیدگی $O(N^2)$ دارند. بنابراین، وقتی که N به اندازه کافی بزرگ می شود، کارائی مؤلفه های اندازه مدار، مصرف جریان و تأخیر کلی، کاهش می یابند [12]. در بسیاری از کاربردها عملگرهای استفاده شده برای S-Norm, T-Norm به ترتیب توابع MAX و MIN هستند، که مدارات MAX, MIN چند ورودی قابل پیاده سازی می باشند. در ادامه به بررسی یک مدار نمونه برای این منظور خواهیم پرداخت.

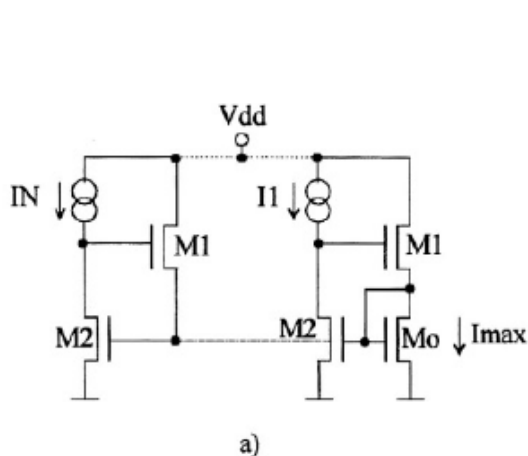
T-Norm ها توابع پیوسته فازی هستند که محاسبه سطح بالای قوانین ترکیبی را پیاده سازی می کنند. S-Norm ها توابع دوگان T-Norm می باشند که توابع T-Norm را به صورت منطقی مکمل می کنند. بنابراین برای بکار بردن قوانین دمورگان، می توان از تبدیل یک S-Norm به T-Norm و متمم گیری ساده از ورودی و خروجی آن بهره برد. در بیشتر موارد کلی، یک T-Norm یا S-Norm در قانون مرتبط کننده خروجی های توابع تعلق N-Fuzzy وجود دارد، در اینجا، N نماینده تعداد ورودی های کنترلر است.

۳-۲- مدار WTA-MAXIMUM لازارو

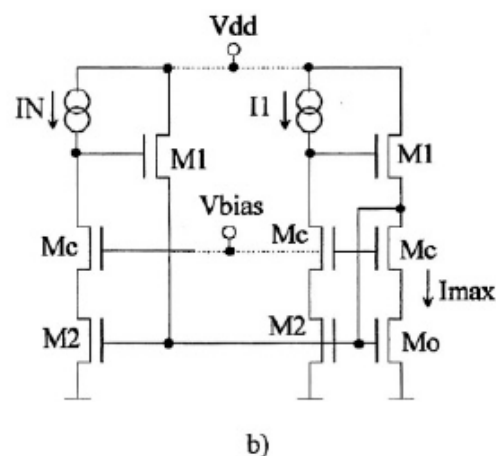
در ابتدا در نظر بگیرید که هر منبع ولتاژ کنترل شده، ایزوله شده است و ترانزیستورهایش در ناحیه وارونگی قوی بایاس شده اند. ولتاژ کنترل شده، لتاژی در ترانزیستور منبع $M1$ است و مقدارش با مجذور ریشه

شکل (a-۶) یک مدار نمونه WTA-MAXIMUM با N ورودی را نشان می دهد [13]. در نظر داشته باشید که N منبع ولتاژ کنترل شده با جریان ($M1, M2$) به صورت موازی به هم متصلند.

ترانزیستوری که دارای بیشترین ولتاژ است غلبه می کند و سایر ترانزیستورهای $M1$ سلولهای باقیمانده را قطع می کنند. در این روش، سلول غالب به همراه $M0$ (دیود مشترک خروجی) به عنوان یک آینه جریان Wilson عمل می کند که جریان سلول غالب (جریان ورودی ماکزیمم) در $M0$ تکرار می شود. در نتیجه، ترانزیستورهای $M2$ سلولهای بازنده در ناحیه تریود با افت ولتاژ کوچک درین سورس باقی می مانند.

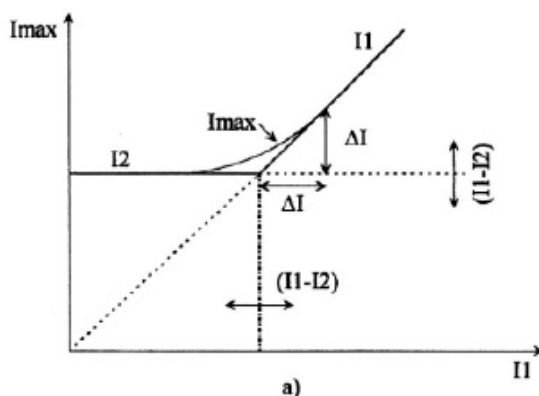


جریان در حال کنترل ($I1 \dots IN$) متناسب می باشد. در مدار شکل (۶_a)، سورس ترانزیستورهای $M1$ به یک ترانزیستور اتصال دیودی مشترک $M0$ ، که هم اندازه با ترانزیستورهای $M2$ سلولهاست متصل شده اند. در این روش، کلیه منابع ولتاژ کنترل شده با جریان، به حالت موازی متصل هستند و در حال رقابت برای تحمیل ولتاژشان در نقطه مشترک می باشند.



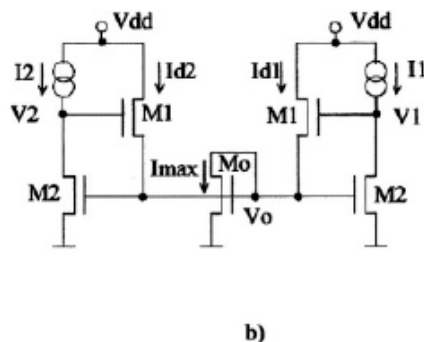
شکل (۶_a) Lazzaro's WTA-MAXIMUM
شکل (۶_b) نوع پیشرفته با شاخه های cascade شده

سیگنالهای $I1 \dots IN$ نشان می دهد. در این روش، سرعت مدار وابسته به تعداد ورودیهاست [6]. اگر چه این مدار به طور گسترده ای مورد استفاده قرار می گیرد، با این حال خطاهای سیستمی ای هم دارد، شکل (۷_a) تفسیر گرافیکی از خطای تمایز را نشان می دهد و شکل (۷_b) مدار دو ورودی ماکزیمم را برای کاهش این خطا را نشان می دهد.



شکل (۷_a) نمایش گرافیکی از خطای تمایز در مدار لازارو

شکل (۶_b) یک نوع اصلاح شده از این مدار را نشان می دهد. ترانزیستورهای $M2$ توسط ترانزیستورهای MC ، کسکد شده اند و به طور مناسب با v_{bias} به منظور تضمین اشباع ترانزیستورهای $M0, M2$ بایاس شده اند. در این روش، جریان غالب با دقت بیشتری در خروجی آینه می گردد. اندازه و مصرف توان این مدار به نسبت N (تعداد ورودیها) افزایش می یابد. از شکلهای (۶_a) و (۶_b) می توان تشخیص داد که هر ورودی بار مشابهی روی



شکل (۷_b) مدار دو ورودی ماکزیمم استفاده شده برای کاهش خطای تمایز

خطای مطلق ΔI تمایز یا قدرت تفکیک مدار است.

همچنین معکوس λn ولتاژاری (VA) ترانزیستور M2 است.

برای محاسبه خطای می توان از معادله های زیر استفاده

کرد:

$$I1 - I2 = \Delta I = \lambda n (V1 - V2) I_{max} = \lambda n \sqrt{\frac{2n}{\beta 1}} (\sqrt{Id1} - \sqrt{Id2}) I_{max}$$

$$\frac{\Delta I}{I1} = \frac{\Delta I}{I_{max}} = \lambda n \sqrt{\frac{2n}{\beta 1}} \sqrt{I_{max}} = 2 \lambda n \left(\frac{gm}{I} \right)^{-1}_{M1} \quad (1)$$

۴- غیرفازی سازی خروجی های تولید شده

با پیچیدگی کم و سرعت بالا را بصورت سخت افزاری پیاده سازی کرد و نرخ تأخیربلاکهای بکار رفته را نیز کاهش داد. تابع فوق را تابع نرمالاساز می نامیم. در روش فوق غیرفازی ساز به دسته های زیر طبقه بندی می شود:

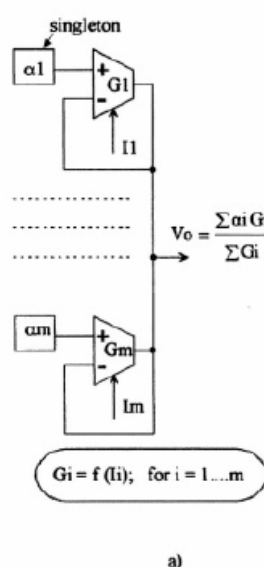
مدارات دسته Closed-Loop

مدارات دسته Open-Loop

مدارات Closed-Loop: با افزایش قوانین ترکیبی و زیاد شدن این قوانین در عمل کاربردی ندارند و بر سرعت تولید خروجی تأثیر بسزائی می گذارند. شکل ۸ این مدار را به صورت گرافیکی نشان می دهد. بنابراین در ادامه مدارات سخت افزاری با استفاده از مدل Open-Loop پیاده سازی می شوند.

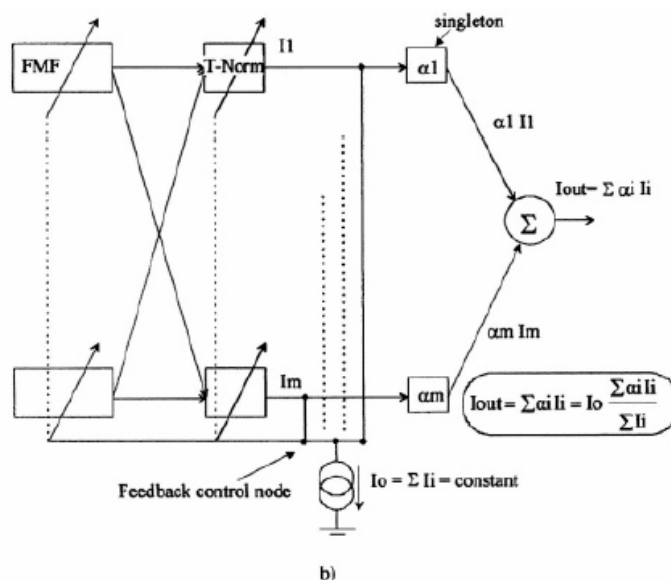
در این مرحله، خروجی های حاصله از فازی ساز منفرد که در قالب یک سیگنال (ولتاژ یا جریان) بیان شده اند، غیر فازی می شوند تا در قالب یک خروجی مستقل قابل پیاده سازی باشند. روش های متعددی برای پیاده سازی یک غیرفازی ساز وجود دارد که معروفترین آنها روش ممدانی و روش Takagi-Sugeno می باشند. روش ممدانی به دلیل نیاز به محاسبات زیاد و پیچیدگی بالا و با توجه به محدودیت های سخت افزاری، سرعت کم و نرخ تأخیر بالائی را ایجاد می کند و به همین علت در پیاده سازی سخت افزاری کاربرد چندانی ندارد.

در این قسمت روش Sugeno برای پیاده سازی غیرفازی ساز انتخاب می گردد. در این مدل برای پیاده سازی، تنها با محاسبه میانگین وزنی حاصل جمع ها می توان تابعی



a)

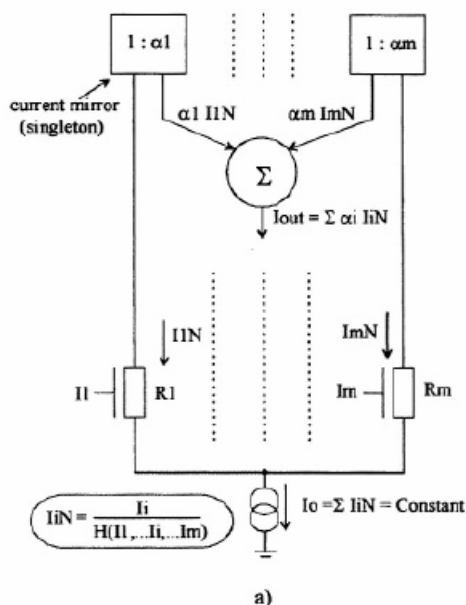
شکل (۸_b) دفازی سازهای Closed-loop مد جریان



b)

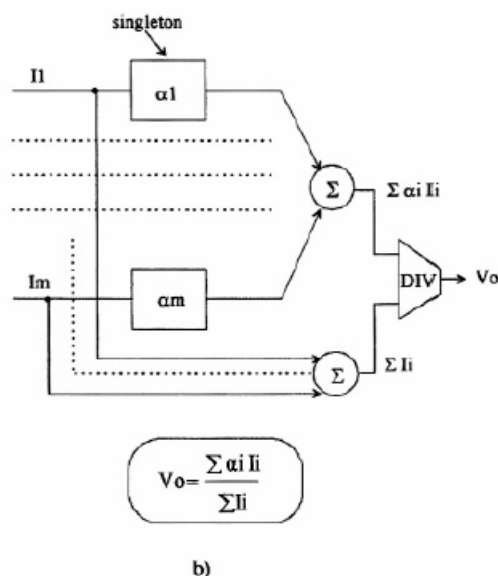
شکل (۸_a) دفازی سازهای Closed-loop مد ولتاژ

در عمل پیاده سازی سخت افزاری این نوع نرمال ساز ممکن نیست. زیرا در یک نرمال ساز استاندارد سیگنال های نرمالیزه شده I_{iN} از رابطه $I_{iN} = I_i / \sum I_i$ بدست می آیند. اما در شبیه سازی فوق این سیگنال ها از رابطه $I_{iN} = I_i / H(I_1, \dots, I_i, \dots, I_m)$ بدست می آیند، که H تابعی غیر خطی از تمام سیگنال های نرمال نشده I_i است. از طرفی وقتی یک کنترلر فازی، تعداد زیادی از قوانین را پیاده سازی می کند، وابستگی مدار به مقاومت های کنترلی R_i بسیار زیاد می شود. همچنین ارتباطات غیر خطی بین خروجی غیرفازی ساز و ورودی I_i حاصل از قوانین در مدار، پیاده سازی غیرفازی ساز را بر روی تراشه پیچیده می سازد. نمایی از این مدل در شکل زیر پیاده سازی شده است:



(b) با تقسیم کننده

در مدار غیرفازی ساز مدل open loop برای عمل نرمال سازی از یک نرمال کننده استفاده می شود. این نرمال ساز شامل مجموعه ای از مقاومت های شبیه سازی شده R_i می باشد که مقادیر آنها بوسیله سیگنال های I_i کنترل می شود. این سیگنال ها می توانند به فرم جریان و یا ولتاژ باشند. در مرحله بعدی مجموع سیگنال های نرمالیزه شده I_{iN} توسط مقاومت های R_i برای تولید جریان I_0 ثابت به کار می رود. اگر فرض کنیم سیگنال های I_{iN} جریان باشند، در مرحله بعدی این سیگنال ها بوسیله آینه های جریان مقیاس بندی می شوند و وزن های α_i را در خروجی مشخص می کنند. در پایان سیگنال های وزن دار $\{\dots \alpha_i I_{iN} \dots\}$ بر روی ترمینال مشترک خروجی جمع شده و مقدار خروجی غیرفازی ساز را تولید می کنند.

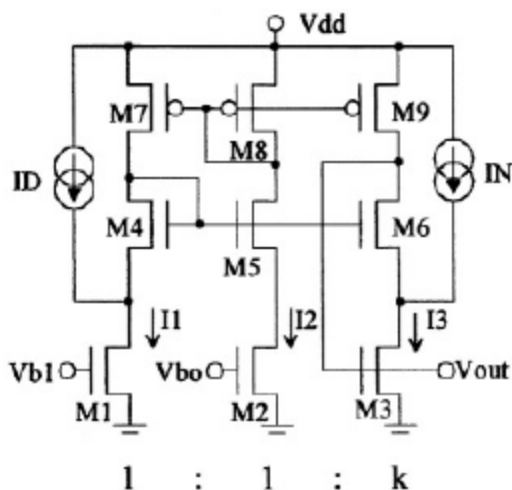


شکل ۹ - دفازی سازی مدل Open-Loop (a) با نرمال کننده

در لایه انتهایی انجام می شود، همگی ترانزیستورها در انجام دادن تقسیم در ناحیه تریود رقابت می کنند. افت ولتاژهای درین سورس (v_{ds}) این ترانزیستورها به خوبی با ترانزیستورهای (گیت مشترک) M_4, M_5, M_6 ، که دارای GVO یکسان هستند، تطبیق می شوند. این امر توسط

مدار نشان داده شده در شکل ۱۰ یک تقسیم کننده را نشان می دهد که جهت انجام عملیات نرمال سازی در دفازی ساز استفاده می شود. ترانزیستورهای ستون راست، دارای مقیاس K برابر نسبت به سایر ترانزیستورها در هر سطر هستند. تقسیم توسط ترانزیستورهای M_1, M_2, M_3

آینه های PMOS فوقانی (M7 تا M9) که جریان I_2 را در شاخه چپ تکرار می کند و جریان $K \cdot I_2$ را در شاخه راست مقیاس گذاری می کند انجام می شود.



شکل ۱۰- غیرفازی ساز جدید پیاده سازی شده به وسیله تقسیم کننده آنالوگ با ورودی جریان و خروجی ولتاژ

با جریان تحمیل شده M9 تطبیق می شود. در این روش، روابط زیر برای جریانهای درین ترانزیستورهای تریود، صادق است:

در اینجا برای اینکه V_{b1}, V_{bo} ، ولتاژهای بایاس ثابت شده ای شوند، ولتاژ گیت V_{out} ترانزیستور M3 به طور خود کار تنظیم می شود، بنابراین جریان drain ترانزیستور M6

$$I_1 = \beta V_{ds} \left(V_{b1} - V_{Tn} - \frac{n}{2} V_{ds} \right) = I_D + I_2,$$

$$I_2 = \beta V_{ds} \left(V_{bo} - V_{Tn} - \frac{n}{2} V_{ds} \right), \quad (2)$$

$$I_3 = k \beta V_{ds} \left(V_{out} - V_{Tn} - \frac{n}{2} V_{ds} \right) = I_N + k I_2,$$

بنا بر این، در شرایط تطبیق ایده آل، با استفاده از سه تساوی اخیر می توانیم بنویسیم:

زمانیکه β نرخ بهره ی جریان M1, M2 است، v_{ds} افت ولتاژ درین سورس برای سه ترانزیستور انتهایی است.

$$(V_{out} - V_{bo}) = \frac{(V_{b1} - V_{bo})}{k} \frac{I_N}{I_D}. \quad (3)$$

[5]-Rodreguez-Vlquez A., Navas R., Delgado-Restituto M. and Vidal-Verd F., "A

Modular Programmable CMOS Analog Fuzzy Controller Chip", *IEEE Trans. on Circuits and Systems-II: Analog and Digital S. Process.*, Vol. 46, N°3, pp. 251-265, March 1999.

[6]-Vidal-Verd F., "Design of Mixed-Signal CMOS Neuro-Fuzzy Controllers", *Ph.D. Dissertation*, Mllaga, Spain, March 1996.

[7]-Song C., Quigley S. and Pammu S., "A Novel CMOS Analogue Fuzzy Inference Processor", in *Proceedings of The 1998 IEEE International Symposium on Circuits and Systems ISCAS'98*, Monterrey, CA, USA, May 1998.

[8]-Guo S., Peters L. and Surmann H., "Design and Application of an Analog Fuzzy Logic Controller", *IEEE Transaction on Fuzzy Systems*, Vol. 4, pp. 429-438, Nov. 1996.

[9]-Rojas I., Pelayo F.J.; Ortega J. and Prieto A., "Compact CMOS fuzzy controllers using the normalized product of adaptive membership functions", *Electronics Letters*, Vol. 33, N° 3, pp. 221-223, January 1997.

[10]-Laker K. and Sansen W., "Design of Analog Integrated Circuits and Systems", *Mc Graw-Hill, Inc.*, New York, USA, 1994.

[11]-Yamakawa T. and Miki T., "The Current Mode Fuzzy Logic Integrated Circuits Fabricated by the Standard CMOS Process", *IEEE Trans. on Computers*, Vol. c-35, N° 2, pp. 161-167, February 1986.

[12]-Dualibe C., "Logique Floue: de la Théorie au Matériel", *TFE Licence en Sciences Appliquées*, Université catholique de Louvain, Louvain-la-Neuve, Belgium, Sept. 1994 .

[13]-Lazzaro J., Ryckebusch S., Mahowald M.A. and Mead C., "Winner-take-all networks of O(n) complexity", in *Advances in Neural Information Processing Systems*, Vol. 1, D. S. Touretzky, Ed. Los Altos, CA: Morgan Kaufmann, 1989, pp. 703-7

بنا براین، اگر V_{out} به V_{bo} برسد، ما یک تقسیم کننده Two-Quadrant را بدست آورده ایم. با بدست آوردن محدوده ی جریان ایده آل I_N, I_D ، آهنگ ولتاژ خروجی ماکزیمم، توسط تفاضل $(V_{b1} - V_{bo})$ و فاکتور پیمایشی K ، تعریف می شود.

۵- نتیجه گیری

در این مقاله، ابتدا دلایل لزوم پیاده سازی سخت افزاری کنترل کننده های فازی بیان گردید و سپس نحوه پیاده سازی سخت افزاری قسمت های مختلف یک کنترل کننده فازی مورد بررسی قرار گرفت.

قسمت های اصلی یک کنترل کننده فازی عبارتند از: فازی ساز، غیر فازی ساز و مدارات S-Norm و T-Norm که در این مقاله، نحوه پیاده سازی هر قسمت به وسیله مدارات مجتمع ارائه و مورد بررسی قرار گرفت و آنگاه در ادامه، یک مدار جدید جهت پیاده سازی بخش غیر فازی ساز ارائه گردید و نحوه عملکرد آن مورد بررسی قرار گرفت.

۶- مراجع

[1]-Baturone I., Slnchez-Solano S., Barriga A. and Huertas J., "Implementation of CMOS Fuzzy Controllers as Mixed-Signal Integrated Circuits", *IEEE Transactions on Fuzzy Systems*, vol. 5, N° 1, pp. 1-19, February 1998.

[2]-Lemaitre L., Patyra M., and Mlynek D., "Analysis and Design of CMOS Fuzzy Logic Controller in Current Mode", *IEEE Journal of Solid State Circuits*, Vol. 29, N°3, pp. 1051-1058, March 1994.

[3]-Marshall G. and Collins S., "Fuzzy Logic Architecture Using Subthreshold Analogue Floating-Gate Devices", *IEEE Transactions on Fuzzy Systems*, Vol. 5, N° 1, pp. 32-43, February 1997.

[4]-Pammu S. and Quigley S., "Novel Analogue CMOS Defuzzification Circuit", *IEE Proceedings Circuits Devices and Systems*, Vol. 142, N° 3, pp. 173-178, June 1995.